

Amplificador paramétrico CMOS totalmente integrado para la lectura criogénica de qubits

Gabriel López-Pinar, Concepción Aldea, Santiago Celma, Carlos Sánchez-Azqueta

Grupo de Diseño Electrónico (GDE)
Instituto de Investigación en Ingeniería de Aragón (I3A)
Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.
Tel. +34-976762707, e-mail: glopez@unizar.es

Resumen

Se presenta un amplificador paramétrico CMOS totalmente integrado para la lectura criogénica de qubits a 5 GHz. Ofrece 10 dB de ganancia, supresión de *idler* de 18.4 dB y aislamiento de bombeo de 52.8 dB. Consume 10 mW, ocupa un área de 0.3 mm² y favorece la escalabilidad de interfaces cuánticas al eliminar híbridos y circuladores externos.

Introducción

La computación cuántica necesita sistemas de lectura capaces de amplificar señales muy débiles en régimen criogénico (3–4 K) con mínima disipación [1]. Frente a amplificadores HEMT o CMOS, los amplificadores paramétricos con varactores (VPA) destacan por su bajo consumo.

Un VPA usa la capacidad no lineal de un varactor, modulada por una señal de bombeo que transfiere energía a la señal útil. Este proceso se describe con las relaciones de Manley–Rowe [2], que imponen conservación de energía entre frecuencias:

$$\sum_{n=0}^{\infty} \sum_{m=-\infty}^{\infty} \frac{n P_{nm}}{n \omega_s + m \omega_i} = 0 \quad (1)$$

En el régimen simplificado, solo se consideran los términos principales de mezcla, demostrando que la energía de amplificación proviene del bombeo.

El sistema se analiza en modo casi degenerado, donde: $\omega_p = 2\omega_s + \Delta\omega$. Este régimen permite amplificación insensible a fase sin necesidad de sincronización estricta entre la entrada y el bombeo.

El principal problema de los VPA tradicionales es su dependencia de componentes externos como híbridos o circuladores, que introducen pérdidas y limitan la integración. Para resolverlo, se propone una arquitectura compacta sin híbridos externos, mediante redes integradas de transformadores acoplados que generan división de fase en chip.

Modelado del varactor

El elemento no lineal central del amplificador propuesto es un varactor MOS en modo de acumulación (A-MOS) implementado en un proceso CMOS de 65 nm. Este dispositivo se selecciona debido a su amplio rango de sintonización (TR) y a su mayor factor de calidad (Q) en comparación con las estructuras en modo de inversión.

El varactor está formado por dos estructuras en paralelo con 200 *fingers*, con dimensiones de $W = 3.2 \mu\text{m}$ y $L = 200 \text{ nm}$. Las simulaciones a la frecuencia de bombeo (10.3 GHz) muestran: $C_{\max} = 3.7 \text{ pF}$, $C_{\min} = 1.2 \text{ pF}$, $\text{TR} = \frac{C_{\max}}{C_{\min}} \approx 3.1$.

La frecuencia de auto-resonancia es aproximadamente 50 GHz, lo que garantiza un comportamiento puramente capacitivo en la frecuencia de operación de 5 GHz. El punto de polarización se fija en $V_{DC} = 0 \text{ V}$ para maximizar la variación lineal de la capacidad.

Arquitectura sin híbrido externo

La arquitectura convencional de un amplificador paramétrico de tipo reflexión requiere un circulador externo para separar la señal de entrada de la señal amplificada y garantizar estabilidad [3]. La interacción entre la señal de bombeo y el varactor genera una impedancia negativa que permite obtener ganancia sin entrar en la región de oscilación paramétrica, manteniendo estabilidad en 5 GHz.

Para mejorar la integración y el aislamiento, se propone una arquitectura balanceada (Figura 1) que incorpora redes LC de filtrado y adaptación, además de un tanque resonante adicional para controlar la frecuencia *idler*. El problema principal que permanece es la ganancia no deseada en dicha frecuencia. Para cancelarla, se emplea una división de fase de 180°, logrando que las componentes *idler* se anulen mientras la señal útil se conserva. La principal contribución del trabajo es reemplazar el

híbrido externo que realiza esta tarea por inductores acoplados integrados (Figura 2). Esto reduce la complejidad del sistema y favorece la integración.

Resultados de simulación

Las simulaciones post-layout y electromagnéticas (EM) en un proceso CMOS de 65 nm muestran que el amplificador alcanza el umbral de amplificación con una señal de bombeo de 0.9 V y logra 10 dB de ganancia con un bombeo de 1.2 V. El análisis espectral (Figura 3) indica que, en la arquitectura sin híbrido, la componente *idler* se reduce de 1.4 mV a 671.6 μ V, logrando una supresión de 18.4 dB, mientras que la fuga de bombeo disminuye de 365.4 mV a 12.8 μ V, equivalente a 52.8 dB de supresión. Comparado con un híbrido externo ideal, el diseño integrado mantiene 10 dB de ganancia, aunque con un ancho de banda menor de 0.2 GHz frente a 0.4 GHz. El circuito consume 10 mW y ocupa 0.3 mm².

Conclusiones

Presentamos un amplificador paramétrico CMOS totalmente integrado que combina ganancia, bajo

consumo y tamaño compacto. Aunque posee un ancho de banda reducido, es adecuado para lectura de qubits. Elimina componentes externos y facilita arquitecturas cuánticas escalables. Futuros trabajos evaluarán su desempeño criogénico a 3–4 K.

REFERENCIAS

- [1]. GUO, Y., LIU, Q., LI, T., DENG, N., WANG, Z., JIANG, H. y ZHENG, Y. *Cryogenic CMOS RF circuits: a promising approach for large-scale quantum computing*. IEEE Transactions on Circuits and Systems II: Express Briefs. 2024, vol. 71, n.º 3, pp. 1619–1625.
- [2]. COLLIN, R. E. *Foundations for Microwave Engineering*. 2.^a ed. New York, NY: John Wiley & Sons / IEEE Press, 2001.
- [3]. MEHRPOO, M., SEBASTIANO, F., CHARBON, E. y BABAIE, M. *A Cryogenic CMOS Parametric Amplifier*. IEEE Solid-State Circuits Letters. 2020, vol. 3, pp. 5–8.

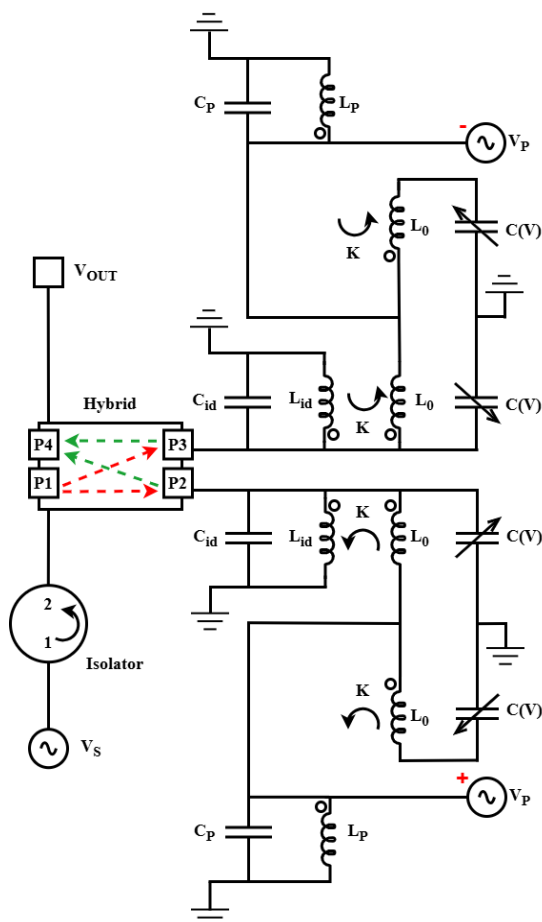


Figura 1. Arquitectura con híbrido externo de 180°.

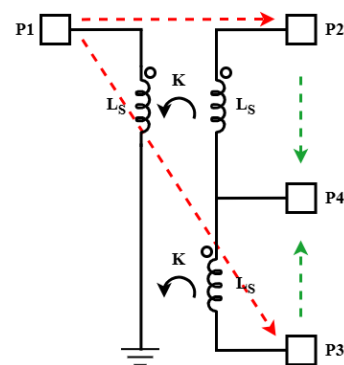


Figura 2. Implementación sin híbrido externo utilizando inductores acoplados que reemplazan el bloque híbrido de la Figura 1.

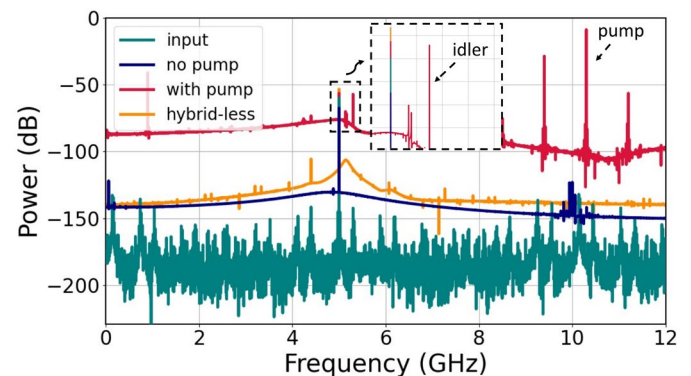


Figura 3. Comparación de FFT: sin bomba y con bomba en configuraciones sin cancelación de *idler* y sin híbrido externo.