

Diseño y caracterización de un amplificador de bajo ruido para banda X en tecnología CMOS 65 nm

Gonzalo López Gómez, Antonio D. Martínez Pérez, Francisco Aznar Tabuenca

Grupo de Diseño Electrónico (GDE)
Instituto de Investigación en Ingeniería de Aragón (I3A)
Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.
Tel. +34-976762707, e-mail: 820463@unizar.es

Resumen

Esta contribución presenta el estado actual de un trabajo fin de grado (TFG), el cual consiste en el diseño de un amplificador de bajo ruido (LNA) en tecnología CMOS 65 nm para su implementación en antenas matriciales en banda X (8 GHz). A tal fin, se emplean herramientas estadísticas que evalúen las variaciones introducidas por cambios de temperatura, alteraciones en el voltaje de alimentación o aquellas inherentes al proceso de fabricación CMOS. Comprobamos que estas no modifican de manera significativa el funcionamiento de cada LNA ni producen diferencias entre ellos relevantes que repercutan en la correcta operación de la antena en conjunto.

Introducción y flujo de trabajo

Las nuevas generaciones de redes móviles (5G/6G) y satelitales requieren el despliegue de antenas activas matriciales con capacidad de conformado de haz [1]. Estas están formadas por varios elementos radiantes que trabajan de forma coordinada. Cada uno de ellos dispone de un *front-end* electrónico, cuya primera etapa consiste en un amplificador de bajo ruido (LNA) para la recepción [2].

En definitiva, el objetivo del TFG es diseñar un LNA en tecnología CMOS 65 nm para señales en la banda X (8 GHz) con unas prestaciones competitivas para su uso en cadenas de recepción de antenas matriciales.

Cada uno de estos dispositivos, así como sus cadenas de recepción son idealmente idénticos. Sin embargo, los circuitos implementados se ven alterados por cambios de temperatura, voltaje de alimentación y modificaciones inherentes a la fabricación (PVT y *mismatching*). Estas alteraciones influyen en el comportamiento del amplificador y, por lo tanto, en las prestaciones del *front-end*. Al alterar cada LNA de forma distinta obtenemos un patrón de radiación diferente del esperado, incluso siendo la posterior combinación de las señales ideal.

Estudiamos el impacto de estas variaciones en cada LNA por separado y en conjunto, especialmente en el error en ganancia y fase, con el objetivo de determinar la precisión en la orientación, la supresión de los lóbulos secundarios y la calidad de los nulos del patrón de recepción de la antena activa.

Desarrollo actual

Se ha dividido el trabajo en varias fases para un correcto desarrollo. Actualmente solo se ha llevado a cabo la primera etapa, es decir, la caracterización estadística de un LNA previamente diseñado para 5 GHz con el fin de asegurar de que la configuración de simulación (o *test-bench*), llevada a cabo en la plataforma de diseño microelectrónico Cadence con elementos de la tecnología CMOS 65 nm de TSMC, funcione correctamente. Completado este paso se procederá a diseñar un LNA para 8 GHz a partir de una arquitectura estudiada en un trabajo anterior [3] y se caracterizará en el *test-bench* ya conocido.

Test-bench con un LNA 5 GHz

Montamos la arquitectura conocida para 5 GHz y configuramos las resistencias de polarización y la anchura y tensión de puerta de ambos transistores con los valores óptimos.

Determinamos mediante simulación la ganancia, el ancho de banda y la fase mediante análisis de pequeña señal y comprobamos su convergencia con la ganancia y la fase del parámetro S_{21} . Obtenemos también la potencia consumida, la impedancia de entrada, el parámetro S_{11} , la figura de ruido y la linealidad mediante el parámetro IIP3. Primero de manera nominal y luego incluyendo variaciones de proceso y de *mismatch*. Los dos análisis estadísticos están realizados con 200 iteraciones cada uno. Se confirma que con variaciones de proceso los valores simulados se dispersan mucho más de los nominales y obtenemos una mayor incertidumbre que con variaciones de *mismatch*. Los valores son los esperados validando así el *test-bench*.

Test-bench con cinco réplicas de LNA 5 GHz

Colocamos ahora cinco réplicas de LNA. Lo que nos interesa de esta situación son las diferencias en fase y ganancia que se generan entre los LNA debido a las variaciones de proceso y *mismatch*. De nuevo los dos análisis estadísticos están realizados con 200 iteraciones cada uno.

Primero comprobamos que los resultados nominales sin variaciones para cada LNA son idénticos a los del *test-bench* con un LNA. A continuación, medimos las diferencias en fase y ganancia para cada par de réplicas de LNA, las cuales deberían idealmente ser nulas. Los valores medios simulados son prácticamente nulos y muy inferiores a la desviación, por lo que no nos aportan información. Consecuentemente estudiaremos la desviación estándar producida por estas diferencias (Tabla 1), ya que esta nos da el error en fase y ganancia de la primera etapa del *front-end*. Comprobamos que con variaciones de proceso obtenemos una desviación insignificante, sin embargo, con variaciones de *mismatch* este error es apreciablemente mayor. Cuando realizamos las mismas medidas en el caso nominal obtenemos valores del mismo orden que en el caso de variaciones de proceso. Por tanto, podemos asumir que son debidos a los métodos numéricos empleados en la simulación y que efectivamente nuestro error en fase y ganancia viene determinado por las variaciones de *mismatch*. Este mismo análisis lo haremos con más profundidad para un conjunto de LNAs de 8 GHz para poder estudiar las prestaciones de la antena matricial.

Con esto concluimos la primera parte del TFG, ya que tenemos un *test-bench*, el cual conocemos su comportamiento y sabemos que es correcto, en el cual podremos analizar el LNA que diseñemos y, por tanto, los errores simulados podremos asumir que son inherentes al circuito, debido al *mismatching*.

Resultados esperados y conclusiones

Una vez diseñado el LNA de 8 GHz, repetiremos estos mismos tests. Primeramente, se anticipa que cada unidad de LNA presente unos valores de ganancia, ancho de banda, figura de ruido, impedancia, linealidad y consumo de potencia adecuados para su uso en cadenas de recepción de antenas matriciales.

Es especialmente relevante el ruido y la impedancia de entrada, ya que al recibir señales de muy baja potencia es esencial que no se produzca una reflexión significativa en la entrada y pase adecuadamente la señal. En nuestro caso, el LNA de 5 GHz no cumple el criterio de la figura de ruido, pero esperamos cumplirlo en el diseño del LNA de 8 GHz mediante una arquitectura diferente.

Una vez que verifiquemos el correcto desempeño del LNA, procederemos a su caracterización estadística. Observaremos como las variaciones de *mismatch* afectan al error en fase y ganancia. De esta forma, en este TFG, se estudian en profundidad las prestaciones del primer bloque de la cadena de recepción. Posteriormente, se comparará este error con los introducidos por elementos posteriores de la cadena electrónica en condiciones nominales, y a futuro, permitirá estudiar el impacto de las variaciones de proceso y *mismatch* en toda la cadena receptora.

Tabla 1. Desviación resultados cinco réplicas de LNA 5 GHz

	Desviación Estándar	
	Proceso	Mismatch
Δ Ganancia _{1a2} (dB)	$21.94 \cdot 10^{-15}$	$15.61 \cdot 10^{-3}$
Δ Ganancia _{2a3} (dB)	$19.94 \cdot 10^{-15}$	$15.76 \cdot 10^{-3}$
Δ Ganancia _{3a4} (dB)	$20.4 \cdot 10^{-15}$	$16.37 \cdot 10^{-3}$
Δ Ganancia _{4a5} (dB)	$21.21 \cdot 10^{-15}$	$17.08 \cdot 10^{-3}$
Δ Fase _{1a2} (°)	$1350 \cdot 10^{-12}$	$81.23 \cdot 10^{-3}$
Δ Fase _{2a3} (°)	$1205 \cdot 10^{-12}$	$73.95 \cdot 10^{-3}$
Δ Fase _{3a4} (°)	$1335 \cdot 10^{-12}$	$93.57 \cdot 10^{-3}$
Δ Fase _{4a5} (°)	$1654 \cdot 10^{-12}$	$88.18 \cdot 10^{-3}$
Pot. Consumo (mW)	3.1	0.075

REFERENCIAS

- [1]. G. HUEBER and A.M. NIKNEJAD, Millimeter-Wave Circuits for 5G and Radar, the Cambridge RF and Microwave Engineering Series, Cambridge University Press, 2019.
- [2]. R.J. MAILLOUX, Phased Array Antenna Handbook, 2nd ed., Artech House, 2005.
- [3]. ALBERTO ARCUSA PUENTE, "Diseño Monolítico de Amplificadores de Bajo Ruido con Inductores en Tecnología CMOS nanométrica en banda K", TFM Universidad de Zaragoza, 2022