

Selección de fragmentos representativos de aplicaciones paralelas en el diseño de redes para CMPs

M. Ortín¹, J. Albericio¹, C. Izu², M. Villarroya¹,
D. Suárez¹, V. Viñals¹

¹*Grupo de Arquitectura de Computadores de la Universidad de Zaragoza (gaZ)
Instituto de Investigación en Ingeniería de Aragón (I3A)
Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain
Tel. +34-976762707, Fax +34-976762043, e-mail: ortin.marta@unizar.es*

²*Department of Computer Science. University of Adelaide, SA 5005 Australia*

Abstract

El diseño de nuevas arquitecturas de computadores se basa en la utilización de complejos y costosos simuladores. Su mayor limitación es el alto coste en tiempo y memoria, lo que lleva a sacrificar la precisión del simulador o a utilizar aplicaciones demasiado ligeras que resultan poco representativas. Se ha realizado un estudio de cargas de trabajo a simular, en concreto de la suite PARSEC, analizando el impacto del tamaño de la entrada para estas aplicaciones en la jerarquía de memoria ejecutándolas con un solo hilo. Se ha descubierto que no necesariamente las entradas mayores estresan más la jerarquía de memoria, lo que ha permitido proponer un conjunto de entradas a simular para obtener resultados representativos en un tiempo de simulación que resulta, en media, 400 veces más rápido que la utilización de la entrada real. Actualmente, se pretende extender los resultados a un entorno multiprocesador, para lo que es necesario tener en cuenta el protocolo de coherencia de memoria. La utilización de nuestra selección de entradas para las aplicaciones de PARSEC resulta más adecuada que el uso sistemático de una entrada de menor tamaño, ya que mantiene el tiempo de simulación sin perder representatividad. El siguiente objetivo es utilizar esta selección para caracterizar el tráfico en redes dentro del chip. Actualmente, no existen apenas estudios que modelen detalladamente el conjunto de procesadores, red de interconexión y jerarquía de memoria. Se va a analizar el comportamiento de aplicaciones reales sobre la red modelando cuidadosamente todos los componentes citados. A partir de los resultados obtenidos, se pretende proponer un diseño de la red que ofrezca al mismo tiempo buenas prestaciones y bajo consumo energético.