

Nuevo Detector de Potencia para Comunicaciones Multi-gigabit en Tecnología Submicrónica

E. Guerrero, C. Gimeno, S. Celma and C. Aldea

GDE (Grupo de Diseño Electrónico)
Instituto de Investigación en Ingeniería de Aragón (I3A).
Universidad de Zaragoza, Pedro Cerbuna12, 50009, Zaragoza, Spain.
Tel. +34-876553547, e-mail: eguerrero@unizar.es

Abstract

Un detector/comparador de potencia CMOS diferencial, alimentado con 1V se presenta en este trabajo. Está basado en el par diferencial *flipped-voltage follower* como celda principal, lo que lo hace ideal para aplicaciones de bajo voltaje y bajo consumo de potencia. El comparador propuesto ha sido diseñado en una tecnología CMOS 0.18- μm estándar.

Introducción

Las comunicaciones serie de alta velocidad (multi-gigabit) requieren un sistema de ecualización adaptivo para compensar los errores en la señal recibida debido a los fenómenos físicos que afectan el canal de transmisión. La implementación analógica en tiempo continuo del ecualizador es, generalmente, preferible en comparación con técnicas puramente digitales debido al menor grado de complejidad, mayores velocidades y menor área necesaria [1].

Una de las técnicas de ecualización adaptiva en tiempo continuo se basa en la comparación del espectro de potencia de la señal recibida con la deseada, para generar una señal de error [2]. La adaptabilidad del sistema se logra mediante un lazo de retroalimentación que modifica el realce en la ganancia de alta frecuencia del ecualizador a partir de la señal de error. En la Figura 1 se muestra el diagrama de bloques de la estructura de un ecualizador adaptivo basado en la potencia espectral.

El comparador de potencia es, por lo tanto, un bloque fundamental que debe ser diseñado cuidadosamente para obtener una señal de error confiable y lograr así una correcta adaptación de las características frecuenciales del ecualizador. De esta manera, se logra una tasa de error de bit mucho menor.

Diseño del circuito

El comparador de potencia propuesto utiliza dos pares diferenciales acoplados, basados en el *flipped-voltage follower* (FVFDP) [3], lo cual permite reducir el voltaje de alimentación hasta 1V. En cada bloque FVFDP, la potencia de la señal de entrada puede ser detectada mediante M1-M2 gracias a la respuesta V/I cuadrática, propia de los transistores MOS que operan en la región de saturación con inversión fuerte de canal. De esta manera, la corriente en M3 consiste en la suma de las corrientes I_1 , I_2 , y I_3 , y considerando la ecuación cuadrática de la corriente del MOS en saturación, se obtiene finalmente la siguiente expresión

$$I_3 = \mu_n C_{OX} \frac{W}{L} \left[(V_{cm} - V_{THn})^2 + \frac{V_{in}^2}{4} \right] + I_b \quad (1)$$

donde se puede ver claramente el término V_{in}^2 , el cual contiene la potencia de la señal de entrada.

Dado que cada FVFDP detecta la potencia P_1 y P_2 de las señales V_{in1} y V_{in2} , respectivamente, la diferencia entre ellas proporciona la señal de control

$$e_r = P_1 - P_2 \quad (2)$$

Como se muestra en la Figura 2, la ecuación (2) se puede implementar directamente mediante la etapa de salida formada por los transistores M5-M6. De este modo, la corriente de salida, I_{out} , se puede expresar como

$$I_{out} = I_{o1} - I_{o2} = \frac{1}{4} \mu_n C_{OX} \left[V_{in1}^2 - V_{in2}^2 \right] \quad (3)$$

Finalmente, la corriente de salida se integra mediante un condensador para generar un voltaje en DC que puede ser amplificado posteriormente para lograr el nivel necesario por el ecualizador.

Como ya se ha mencionado anteriormente, el rango dinámico de la señal de entrada no se ve afectado

tan drásticamente en comparación con estructuras basadas en el convencional par diferencial acoplado. Esto se sigue de las condiciones de operación en saturación de los transistores

$$V_{THn} + V_{Dsat3} \leq V_{in} \leq V_{DD} \quad (4)$$

Por lo tanto, el rango dinámico de entrada del comparador de potencia es de ± 100 mV para $V_{DD}=1V$ y una tecnología CMOS estándar.

Resultados de simulación

El comparador propuesto ha sido implementado en una tecnología de 0.18- μm con una alimentación de 1V.

En la Figura 3 se muestra la respuesta transitoria del comparador de potencia, donde el voltaje de error, V_{out} , se obtiene, de acuerdo con la ecuación (2), por la diferencia entre dos señales con diferentes potencias, $P_1 = -16$ dBm y $P_2 = -6.47$ dBm, respectivamente. En la simulación, V_{in2} se mantiene constante mientras que V_{in1} cambia, de modo que $P_1=P_2$ desde 0 a 0.5 μs , mientras que $P_1>P_2$ desde 0.5 hasta 1 μs .

En la Figura 4 se muestra el voltaje de salida, V_{out} , contra la diferencia de potencias de las señales de entrada para distintas frecuencias. Una variación de 43.8 mV se obtiene entre la mínima y máxima frecuencias simuladas.

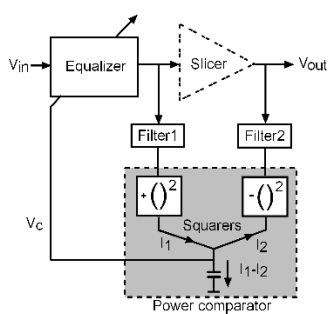


Figura 1. Ecuador adaptativo analógico de tiempo continuo

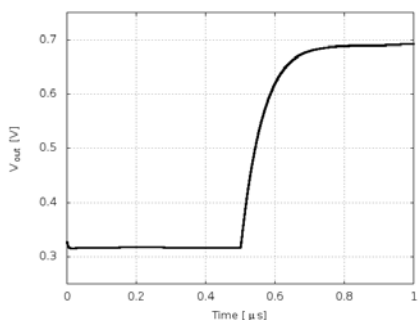


Figura 3. Respuesta transitoria del comparador de potencia.

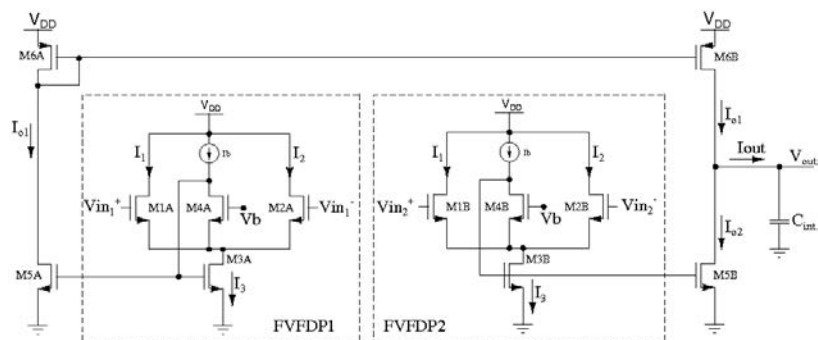


Figura 2. Comparador de potencia propuesto

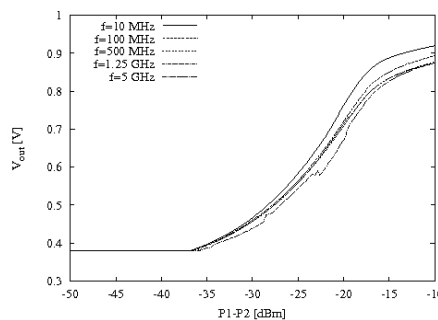


Figura 4. Voltaje de salida para distintas frecuencias.

Conclusión

En este trabajo, se ha presentado una nueva estructura de comparador de potencia diseñado en una tecnología CMOS 0.18- μm estándar. El circuito propuesto puede ser polarizado con una tensión de alimentación de 1V, disipando una potencia de 650 μW .

El rango dinámico de la señal de entrada logrado es de ± 100 mV. Además, las variaciones del modo común a la entrada se ven reflejadas en tan solo 7.8 mV de variación a la salida frente a un rango de salida útil de 400-900 mV, lo que lo hace de este circuito una alternativa preferente a la basada en pares diferenciales convencionales.

Referencias

[1] C. Gimeno, C. Aldea, S. Celma, and F. Aznar, "Low-voltage low-power CMOS receiver front-end for gigabit short-reach optical communications," Int. J. Circ. Theor. Appl., DOI: 10.1002/cta.1819.

[2] J. Liu; X. Lin; "Equalization in high-speed communication systems" IEEE Circ. and Syst. Magazine, vol.4, no.2, pp. 4- 17, 2004.

[3] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. A. G. Galan, A. Carlosena, and F. M. Chavero, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," IEEE Trans. on Circ. and Syst. I: Regular Papers, vol. 52, no. 7, pp. 1276- 1291, 2005.