

Estrategia de Diseño de Amplificadores de Bajo Ruido Integrados en Tecnología CMOS nanométrica

Antonio D. Martínez Pérez¹, Pedro A. Martínez Martínez¹,
Guillermo Royo¹, Francisco Aznar², Santiago Celma¹

¹ Grupo de Diseño Electrónico (GDE)
Instituto de Investigación en Ingeniería de Aragón (I3A)
Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.

Tel. +34-976762707, e-mail: adimar@unizar.es

²Centro Universitario de la Defensa, Zaragoza

Resumen

Las topologías empleadas en los amplificadores de bajo ruido (LNA) han ido haciéndose cada vez más complejas, con las desventajas que ello implica en coste y tiempo de diseño. Este trabajo propone lo contrario, volver a topologías más sencillas y aprovechar dicha sencillez para optimizarlas logrando resultados altamente competitivos.

Introducción

Con objeto de que el resto de etapas del receptor disponga de un adecuado nivel de señal y ésta no se haya degradado, un LNA debe cumplir una amplia serie de especificaciones: adaptación de impedancia a la entrada, bajo ruido, buena ganancia, elevada frecuencia de corte, etc. Estos parámetros tienen dependencias antagónicas, por lo que alcanzar un buen compromiso entre ellos se convierte en el objetivo principal de la optimización.

Por otra parte, las estructuras complejas hacen uso de una gran cantidad de elementos y al apurar un diseño al límite de una tecnología, los recursos de los que dispone el diseñador (voltaje, consumo de potencia, área, ...) deben repartirse entre todos los dispositivos del sistema. Es decir, si se reduce el número de elementos, se pueden asignar más recursos a cada dispositivo y cabe esperar un funcionamiento más eficiente. Además, un menor número de elementos facilitará técnicas de optimización que serían inviables en sistemas más complejos.

Topología de LNA

Siguiendo la estrategia descrita, se selecciona como topología una etapa en puerta común con realce de transconductancia (ver Fig. 1). La etapa puerta común nos permite adaptar la impedancia de entrada a la de fuente, para así lograr la máxima recepción de potencia de la antena. No obstante, esta adaptación requiere una alta transconductancia del transistor, y

dicha característica es proporcional al ruido. Una solución a este problema es utilizar una menor transconductancia en el transistor y emplear una técnica de realce para multiplicar su efecto y lograr la requerida adaptación de impedancia. Esto se ha realizado con una etapa fuente común.

Optimización

Como primer paso, se realiza un análisis del circuito, obteniéndose las expresiones en primer grado de aproximación. Ello permite tanto obtener unos valores iniciales como disponer de una visión de las principales dependencias existentes.

Para afinar la optimización con seguridad se recurre a simulaciones con modelos de la tecnología mucho más complejos. Debido a las estrechas dependencias entre las dos etapas del circuito resulta necesario hacer el ajuste de ambas simultáneo. En la Fig. 2 se muestran las especificaciones frente a las anchuras de los dos transistores. Cada curva de la gráfica es una isolínea del límite de la especificación correspondiente. Por tanto, el área que queda encerrada por todas ellas (coloreada en verde) son las parejas de anchuras válidas, esto es, la ventana de diseño. Se escoge un punto con suficiente margen a los límites de la ventana, pero alejado lo máximo posible de la figura de ruido (NF) para minimizar este parámetro. En la Tabla I se muestran los resultados obtenidos frente a otros diseños de la bibliografía.

Conclusiones

En tecnología CMOS estándar de 65 nm es posible obtener LNAs muy competitivos mediante el uso de estructuras sencillas, gracias a poder dedicar más recursos a cada elemento y a poder hacer una optimización más profunda del sistema.

Paradójicamente, aún cuando el circuito es simple, obtener las máximas prestaciones que es capaz de proporcionar necesita modelos complejos de los

elementos del sistema, especialmente los transistores. Esto se debe a que los efectos de órdenes elevados resultan importantes en este proceso.

Agradecimientos

Esta investigación ha sido financiada por MINECO-FEDER (TEC2017-85867-R) y el contrato predoctoral PIF DGA de Antonio D. Martínez.

REFERENCIAS

[1]. KIM, J. and SILVA-MARTINEZ, J. Wideband Inductorless Balun-LNA Employing Feedback for Low-Power Low-Voltage Applications. *IEEE Transactions on Microwave Theory and Techniques*. September 2012, vol. 60, No. 9, pp. 2833-2842.

[2]. RAZABI, B. Cognitive Radio Design Challenges and Techniques. *IEEE Journal of Solid-State Circuits*. August 2010. Vol. 45, No. 8, pp. 1542-1553.

[3]. CHAMAS, I. R. and RAMAN, S. Analysis, Design, and X-Band Implementation of a Self-Biased Active Feedback Gm-Boosted Common Gate CMOS LNA, *IEEE Transactions on Microwave Theory and Technique*. March 2009, Vol. 57, No. 3, pp. 542-551.

[4]. BELMAS, F., HAMEAU F. and FOURNIER, J. M. A Low Power Inductorless LNA with Double Gm Enhancement in 130 nm CMOS, *IEEE Journal of Solid-State Circuits*. May 2012. Vol.47, No. 5, pp. 1094-1103.

[5]. BLAAKMEER, S.C., KLUMPERINK, E. A. M., LEENAERTS, D. M. W. and NAUTA, B. Wideband Balun-LNA with Simultaneous Output Balancing, Noise-Canceling and Distortion-Canceling. *IEEE Journal of Solid-State Circuits*, June 2008, Vol. 43, No. 6, pp. 1341-1350.

[6]. MARTÍNEZ-PÉREZ, A. D., MARTÍNEZ-MARTÍNEZ, P. A., ROYO, G., AZNAR, F. and CELMA, S. A New Approach to the Design of CMOS Inductorless Common-gate Low-noise Amplifiers. *2020 European Conference on Circuit Theory and Design (ECCTD)*, September 2020, pp.1-4.

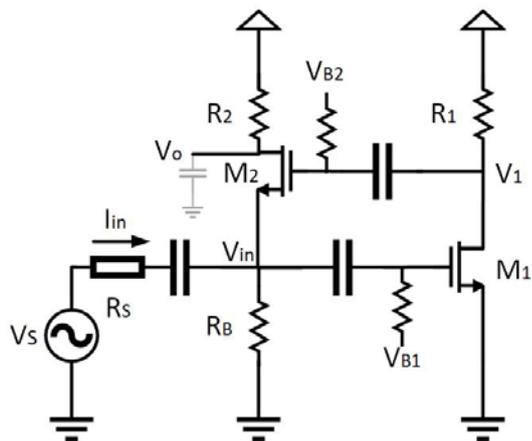


Figura 1. Topología propuesta del LNA.

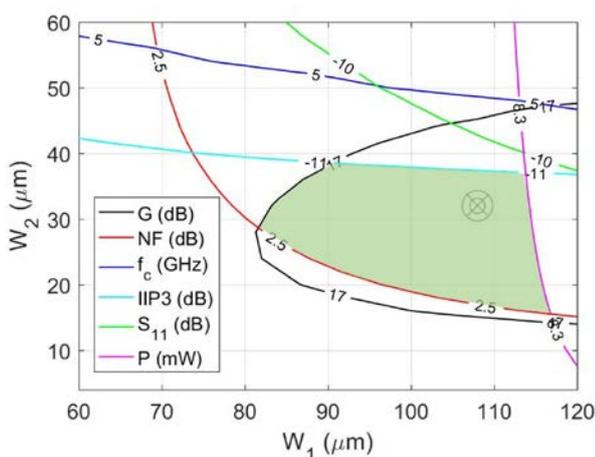


Figura 2. Ventana de diseño para las anchuras de los transistores.

Tabla 1. Comparativa de resultados de LNAs.

Especificaciones	Este trabajo	[1]	[2]	[4]	[5]
Tecnología CMOS	65 nm	130 nm	65 nm	65 nm	130 nm
V_{DD}	1,2 V	1,2 V	1,2 V	1,2 V	1,2 V
NF	2,3-2,6 dB	3,8 dB	2,9-5,9 dB	4 dB	3,5 dB
G	18 dB	16,6 dB	20 dB	20 dB	15,6 dB
f_c	5,6 GHz	2 GHz	10 GHz	2,7 GHz	5,2 GHz
S₁₁	-11 dB	-10 dB	-10 dB	-10 dB	-10 dB
IIP3	-9 dBm	-3,4 dBm	-11,2 dBm	-12 dBm	0 dBm
P	8 mW	3 mW	22 mW	1.32 mW	14 mW