

Generación de una tensión de polarización variable para la compensación de efectos de proceso en LNA sin inductores

Antonio D. Martínez Pérez¹, Diego F. Paredes-Páliz¹,
Francisco Aznar^{1,2}, Santiago Celma¹

¹ Grupo de Diseño Electrónico (GDE)
Instituto de Investigación en Ingeniería de Aragón (I3A)
Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.
Tel. +34-976762707, e-mail: adimar@unizar.es
² Centro Universitario de la Defensa, Zaragoza

Resumen

Este trabajo presenta y evalúa diferentes alternativas para implementar un circuito de polarización que compense las variaciones del proceso de fabricación en un amplificador de bajo ruido (LNA) basado en una etapa puerta común con realce de transconductancia. El estudio cubre tres topologías y se efectúa una comparativa y comprobación mediante análisis de *corners* y Monte Carlo.

Introducción

El rendimiento de un LNA implica lograr un buen compromiso entre una larga serie de especificaciones opuestas que definen su comportamiento. Además, las topologías sin inductores [1]-[2] suelen estar basadas en dos mitades dependientes entre sí. Dado que el dimensionamiento de una mitad depende de la otra mitad y viceversa [3], se propone una metodología para la optimización simultánea de ambas partes mediante la representación gráfica de parte del espacio de diseño. Sin embargo, estas topologías son especialmente vulnerables a las variaciones de proceso, ya que sus parámetros dependen de las relaciones de los valores absolutos de los dispositivos en lugar de relativos. En este contexto, los autores proponen una mejora de la topología para un LNA basado en una etapa puerta común con realce de g_m (ver Fig. 1) [4]. Este método busca optimizar el diseño no sólo en el caso típico (*tt*) sino también en los *corners* lentos (*ss*) y rápidos (*ff*). Este cambio supone un incremento sustancial de las muestras que cumplen las especificaciones durante un análisis de Monte Carlo que incluya variaciones de proceso (se mejora de 60,74 % a 81,64 %).

El coste de esta mejora es la necesidad de un ajuste de la tensión de polarización V_{BI} , cuyo valor debe irse adecuando a los errores de proceso. Este trabajo se centra en la generación de forma simple de dicha tensión de polarización variable.

Esquema de polarización

Para compensar el impacto de las variaciones, la tensión V_{BI} debe cambiar de 0,5 V en el *corner ff* a 0,7 V en el *corner ss*. De acuerdo a obtener estas variaciones con configuraciones sencillas, se evalúan los tres circuitos de la Fig. 2.

El primero (Fig. 2a) es el enfoque más sencillo; utiliza la relación entre dos resistencias de polisilicio tipo N para producir el valor de voltaje deseado. El valor de ambas resistencias debe ser elevado para reducir el consumo.

El segundo (Fig. 2b) utiliza un *diodo* NMOS polarizado por resistencia para generar la tensión. El uso de una resistencia relativamente elevada reduce el consumo mientras que el transistor se dimensiona para ajustar la tensión nominal de interés.

El tercer circuito (Fig. 2c) únicamente emplea un NMOS y una fuente externa de corriente constante. Las variaciones de proceso provocan el cambio de tensión V_{BI} para mantener la corriente constante.

Resultados

La Tabla I incluye los valores de V_{BI} en cada uno de los *corners*, así como las muestras válidas en el análisis estadístico y el consumo de corriente que tienen en el caso típico. Adicionalmente incluyen el caso de una tensión de polarización que se mantiene constante y otra que cambia de la forma óptima para cada uno de los casos.

Los resultados muestran que el NMOS polarizado por corriente es aquel que consigue un rango en los *corners* más próximo al caso ideal, y, en consecuencia, su porcentaje de muestras válidas es el más elevado y el que menor corriente demanda.

Conviene destacar también la comparativa entre el divisor de voltaje resistivo y el NMOS con resistencia. Si bien la variación existente entre el *corner ss* y el *ff* es similar en ambos casos, el rango cubierto por cada uno de estos circuitos es distinto y esto se traduce en una diferencia sorprendentemente significativa en el análisis estadístico. Mientras que el divisor resistivo apenas es una mejora respecto del no ajuste, el NMOS con resistencia se queda muy próximo al caso de la polarización por corriente.

Conclusiones

Anteriores trabajos mostraban la clara importancia de la optimización de este tipo de LNA para alcanzar las prestaciones deseadas, pero dejaban de manifiesto la vulnerabilidad de estos sistemas frente a variaciones de proceso. La propuesta planteada anteriormente para solucionar este problema (una tensión de polarización variable) no resolvía la implementación de la misma, que queda cubierta con esta nueva contribución.

De los tres esquemas evaluados, los dos basados en NMOS son los que representan con mayor fiabilidad los cambios deseados en V_{B1} . De ellos dos, el NMOS polarizado por corriente presenta las mejores prestaciones; sin embargo, la necesidad de producir

externamente una corriente constante supone un grado de complejidad adicional que, en la mayoría de casos, no justifica su empleo frente al NMOS con resistencia.

Agradecimientos

Esta investigación ha sido financiada por AEI (RTC2019-007039-7, PID2020-114110RA-I00) y DGA (LMP106_21).

REFERENCIAS

- [1]. TARIS, T., DESEVEDAVY, J., HAMEAU, F., AUDEBERT, P., and MORCHE, D., Inductorless multi-mode RF-CMOS low noise amplifier dedicated to ultra low power applications, *IEEE Access*, vol. 9, pp. 83431-83440, 2021.
- [2]. KIM, S. and KWON, K., Broadband balun-LNA employing local feedback Gm-boosting technique and balanced loads for low-power low-voltage applications, *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 67, no. 12, pp. 4631-4640, 2020.
- [3]. MARTINEZ-PEREZ, A. D., AZNAR, F., FLANDRE, D., and CELMA, S. Design-Window Methodology for Inductorless Noise-Cancelling CMOS LNAs, *IEEE Access*, vol. 10, pp. 29482-29492, 2022.
- [4]. MARTINEZ-PEREZ, A. D., AZNAR, F., ROYO, G., MARTINEZ-MARTINEZ, P. A. and CELMA, S., Robust Design Methodology for RF LNA including Corner Analysis. *17th International Conference on SMACD*, 2021

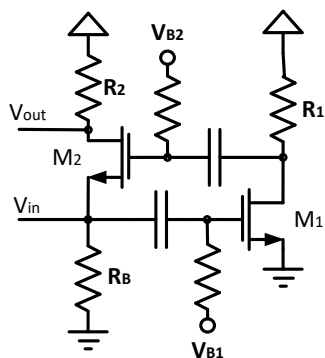


Fig. 1. Topología de la etapa puerta común con realce de transconductancia.

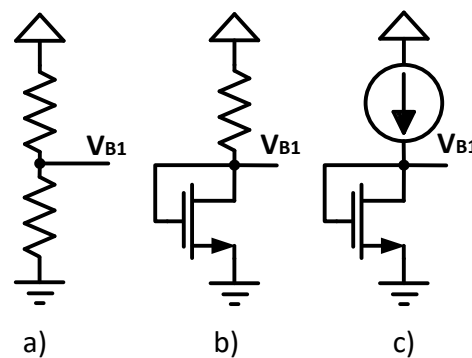


Fig. 2. Referencias de tensión simples: a) divisor resistivo de voltaje; b) NMOS con resistencia; y c) NMOS polarizado por corriente.

	<i>ss</i>	<i>tt</i>	<i>ff</i>	<i>Muestras válidas</i>	<i>Corriente necesaria</i>
Voltaje constante	600 mV	600 mV	600 mV	61,26 %	-
Variación de voltaje ideal	700 mV	600 mV	500 mV	81,64 %	-
Divisor resistivo de voltaje	635 mV	600 mV	533 mV	62,40 %	0,17 mA
NMOS con resistencia	647 mV	601 mV	550 mV	78,03 %	0,21 mA
NMOS polarizado por corriente	669 mV	601 mV	528 mV	79,00 %	0,15 mA

Tabla I. Comparativa de los distintos diseños en el análisis de *corners* y análisis estadístico.