

Diseño de un desplazador de fase de 5-bits para antenas matriciales en banda K

Uxua Esteban Eraso, Carlos Sánchez Azqueta, Concepción Aldea Chagoyen,
Santiago Celma Pueyo

Grupo de Diseño Electrónico (GDE)
Instituto de Investigación en Ingeniería de Aragón (I3A)
Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.
Tel. +34-976762707, e-mail: uesteban@unizar.es

Abstract

En este trabajo se presenta el diseño de un desfasador de 5 bits programable digitalmente, para su uso en antenas matriciales híbridas que operan en la banda K, destinada a comunicaciones SATCOM. Está compuesto por dos amplificadores de ganancia variable (VGA) y un combinador de potencia.

Introducción

En las comunicaciones por satellite (SATCOM), es necesario dirigir el haz de manera electrónica (*beamforming*), por lo que las antenas matriciales son elementos esenciales. Para ello es necesario ajustar la fase de cada uno de los elementos radiantes. Si se trata de *beamforming* híbrido la matriz de antenas se divide en submatrices donde la señal se procesa analógicamente y posteriormente, las señales obtenidas en cada submatriz se combinan y procesan de forma digital. Es por ello que los desplazadores de fase se convierten en componentes clave en este tipo de antenas [1].

Este trabajo se centra en el diseño de los VGA, que cuentan con un conjunto de transistores *dummy* para mantener constante la impedancia de entrada y salida entre las diferentes configuraciones, y el combinador de potencia compuesto por estructuras en *cascode*.

Topología propuesta

La topología diseñada en este trabajo se muestra en la Figura 1. El bloque principal de esta topología es el amplificador de ganancia variable (VGA) de 5 bits programable digitalmente. El desfasador está compuesto por dos VGAs, cuyo papel es ponderar independientemente una señal en fase y una señal en cuadratura [2,3]. En la Figura 2 se puede ver que cada VGA está formado por seis bloques (A, B y C) de seis transistores NMOS y dos bloques (D) de dos transistores NMOS. La idea es conducir la parte deseada de la corriente hacia la salida a través de los transistores B y C. Los bloques de transistores

dummies A y D permiten mantener constante el número total de transistores activos conectados con cada entrada y cada salida. De esta forma, se minimizan las variaciones de impedancia de entrada y salida entre distintas configuraciones y, por lo tanto, disminuyen los errores de fase y ganancia.

Después del VGA, las señales procedentes de dos antenas diferentes se combinan mediante un combinador de potencia. La topología del combinador de potencia se compone de estructuras *cascode* (Figura 3).

Resultados

El diseño y simulación post-layout se ha llevado a cabo mediante el PDK de la tecnología CMOS de 65 nm de TSMC. Para los transistores VGA el dimensionado elegido ha sido $W/L = 2 \mu\text{m}/60 \text{ nm}$, mientras que el tamaño de los transistores de la etapa de fuente común es $W/L = 16 \mu\text{m}/60 \text{ nm}$, y el tamaño para los transistores que conforman el combinador es $W/L = 70 \mu\text{m}/60 \text{ nm}$. Para los inductores se ha elegido un modelo con toma central, siendo los valores: $2L_1 = 520.4 \text{ pH}$ ($Q = 28.03 @ 19.5 \text{ GHz}$) and $2L_2 = 905.1 \text{ pH}$ ($Q = 20.99 @ 19.5 \text{ GHz}$). Los valores para el resto de las variables son los siguientes: $C_C = 7.3 \text{ pF}$, $C = 103.7 \text{ fF}$, $R = 30 \text{ k}\Omega$, $V_{bias} = 800 \text{ mV}$, $V_B = 372.5 \text{ mV}$.

La Figura 4 muestra los saltos de fase obtenidos mediante simulaciones *post-layout* para frecuencias de 17 GHz a 22 GHz. Puede observarse que los estados de fase deseados se mantienen en todo el intervalo de frecuencias. En este rango de frecuencias, los errores RMS de fase son inferiores a 2° , y los errores RMS de ganancia son inferiores a 0,04 (Figura 5).

Conclusiones

Este trabajo presenta el diseño de un desfasador de 5 bits compuesto por dos VGAs cuya función es

ponderar una señal en fase y otra en cuadratura. La principal novedad de los VGAs propuestos es el uso de transistores *dummy*, que permiten mantener el valor de las impedancias de entrada y salida entre diferentes configuraciones y, en consecuencia, disminuir los errores RMS. Los resultados obtenidos con simulaciones post-layout tienen un error RMS en fase inferior a 2° y un error RMS en ganancia inferior a 0,04 dB para frecuencias comprendidas entre 17 GHz y 22 GHz.

Agradecimientos

Este trabajo ha sido financiado por la Agencia Estatal de Investigación (RTC2019-007039-7, PID2020-114110RA-I00) y por el Gobierno de Aragón (LMP106_21).

REFERENCIAS

- [1]. BENSON, K. Phased Array Beamforming ICs Simplify Antenna Design. *Analog Dialogue*, 2019, vol. 53, no 1, pp. 10-13.
- [2]. TSAI, J. H., LIN, C. L. A 40-GHz 4-Bit Digitally Controlled VGA with Low Phase Variation using 65-nm CMOS Process. *IEEE Microwave and Wireless Components Letters*, 2019, vol. 29, no. 11. pp. 729-732.
- [3]. ESTEBAN ERASO, U., SÁNCHEZ-AZQUETA, C., ALDEA, C., CELMA, S. A CMOS 4-bit Digitally Programmable Phase Shifter for the K-band, *VLSI-SOC 2022 Conference*.

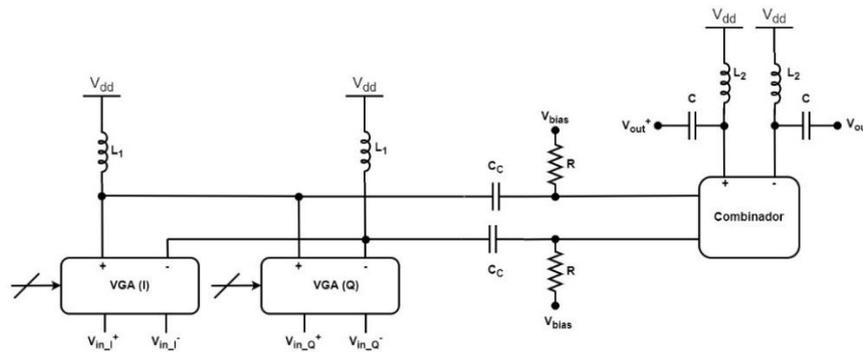


Figura 1. Diagrama de bloques del circuito diseñado.

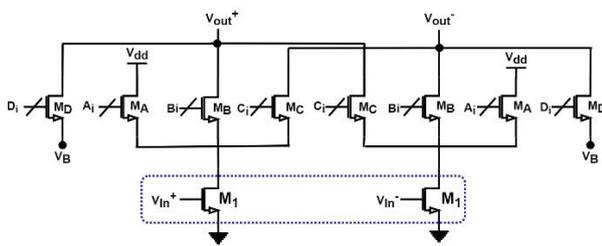


Figura 2. Topología del VGA.

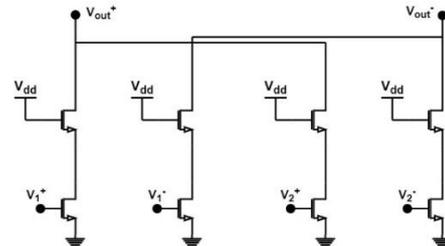


Figure 3. Topología del combinator.

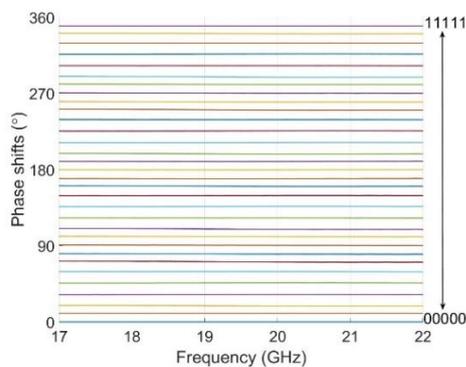


Figure 4. Saltos de fase obtenidos de 17 GHz a 22 GHz.

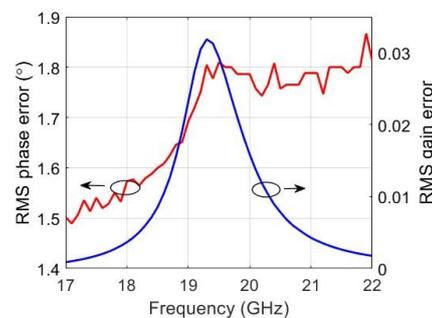


Figura 5. Errores RMS en fase (rojo) y amplitud (azul).