

Diseño de un Amplificador Operacional de Transconductancia de dos etapas para amplificación de bioseñales

Julia Aragüés Aldea, Belén Calvo López, Nicolás Medrano Marqués

Grupo de Electrónica de Potencia y Microelectrónica (GEPM)
Instituto de Investigación en Ingeniería de Aragón (I3A)
Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.
Tel. +34-876553427, e-mail: j.aragues@unizar.es

Resumen

Este trabajo presenta un Amplificador Operacional de Transconductancia de dos etapas completamente diferencial, con una ganancia en lazo abierto de 116 dB, un consumo de 10,12 μ W y ruido $< 1 \mu\text{V}/\sqrt{\text{Hz}}$ a partir de 1.5 Hz, constituyendo una solución eficiente para la adquisición de bioseñales en sistemas portátiles.

Introducción

Los amplificadores operacionales de transconductancia (OTA) de bajo ruido son componentes fundamentales para la implementación de amplificadores de bioseñales (EEG, ECG, EMG, bioimpedancia...). Estos amplificadores deben ser capaces de detectar señales débiles -en el rango de μV - manteniendo los estrictos requisitos de ultrabajo consumo de potencia y área, bajo ruido y elevado rechazo al modo común (CMRR) demandados por los dispositivos portátiles.

Estas exigencias se trasladan al OTA, de modo que debe proporcionar una alta ganancia en lazo abierto (A_{DO}) con producto ganancia-ancho de banda (GBW) y margen de fase (PM) adecuados, bajo ruido y bajo consumo, preservando la linealidad, con una arquitectura compacta de CMRR elevado.

Diseño

El OTA propuesto se muestra en la Figura 1. Es una arquitectura de dos etapas, para obtener ganancia A_{DO} elevada, y completamente diferencial para minimizar ruido y maximizar el CMRR. La primera etapa consta de un par de entrada complementario N/PMOS (M1/M2), debido a que esta estructura presenta un compromiso entre ruido y potencia óptimo [1], siendo su principal limitación la reducida ganancia en lazo abierto. Establecida la corriente de polarización, si se fijan las dimensiones (W/L) de ambos transistores para obtener igual transconductancia $g_{\text{mn}} \approx g_{\text{mp}}$, la transconductancia total de la primera etapa es $G_{\text{m1}} = g_{\text{mp}} + g_{\text{mn}} = 2g_{\text{mn}}$, mientras que su

ganancia viene dada por $A_{\text{DO1}} = 2g_{\text{mn}}(r_{\text{on}}/r_{\text{op}})$, siendo r_{oi} la resistencia de salida del MOS N/P.

Para aumentar esta ganancia preservando el rango dinámico, la segunda etapa es un par diferencial NMOS (M10) acoplado por fuente, con salida cascode (NMOS, M1c; PMOS, M2c) para aumentar la resistencia de salida de esta etapa y, por tanto, su ganancia. Así, si la corriente de polarización de la segunda etapa y las dimensiones del par NMOS se mantienen idénticas a la primera etapa, la transconductancia es $G_{\text{m2}} = g_{\text{mn}}$, de forma que la ganancia será $A_{\text{DO2}} = g_{\text{mn}}(g_{\text{m1c}}r_{\text{o1c}}r_{\text{on}}/g_{\text{m2c}}r_{\text{o2c}}r_{\text{o4}})$. Como resultado, la ganancia total del OTA es $A_{\text{DO}} = A_{\text{DO1}}A_{\text{DO2}} = 2g_{\text{mn}}^2(r_{\text{on}}/r_{\text{op}})(g_{\text{m1c}}r_{\text{o1c}}r_{\text{on}}/g_{\text{m2c}}r_{\text{o2c}}r_{\text{o4}})$.

Para minimizar el ruido térmico, los transistores del par de entrada tanto de la primera como la segunda etapa deben proporcionar máxima transconductancia g_{m} para la corriente de polarización fijada. Por lo tanto, deben operar en inversión débil, mientras que los transistores de polarización y los cascode deben trabajar en inversión fuerte-saturación. Además, para minimizar el ruido flicker, las dimensiones (W/L) del par de entrada deben ser elevadas.

Estos dispositivos se encuentran polarizados a través de los espejos de corriente PMOS (M3: M4; M9) y NMOS (M5: M6; M11) para ajustar la corriente en las distintas ramas del circuito a partir de la corriente de polarización I_{bias} . Todos los transistores cascode (MXc') son transistores de baja tensión umbral para no degradar el rango de tensión disponible.

Al ser una arquitectura completamente diferencial, cada etapa cuenta con su propio circuito de realimentación del modo común (CMFB) para establecer la tensión en modo común a la salida $V_{\text{out}}|_{\text{DC}} = V_{\text{REF}} = V_{\text{DD}}/2$. La arquitectura empleada consta de los transistores (M7, M8, M12) en triodo, escogida porque no supone un consumo de potencia ni área adicional, siendo por tanto una solución óptima.

Finalmente, para asegurar la estabilidad del OTA se utiliza una técnica de compensación Miller: entre la entrada y salida de la segunda etapa se introduce un condensador de compensación C_c en serie con una resistencia R_c , de tal manera que garanticen un margen de fase adecuado ($>60^\circ$).

Resultados

La arquitectura propuesta (Figura 1) se ha diseñado en una tecnología CMOS estándar de 180 nm con una tensión de alimentación única $V_{DD}=1,2$ V, siendo por lo tanto el modo común $V_{REF}=V_{out}^{\pm}|_{DC}=0,6$ V. La corriente de polarización se establece a $I_{bias}=0,5$ μ A, resultando un consumo total de corriente de 8,5 μ A. Los resultados de la simulación a nivel esquemático se muestran en la Tabla 1. La ganancia A_{DO} es de 116,2 dB, con un consumo de potencia de 10,12 μ W y un ruido RMS, V_{ninRMS} , integrado de DC hasta 1 MHz de 12,81 μ V_{RMS}. La Figura 2 muestra la respuesta en frecuencia de la ganancia y la fase, mientras que la Figura 3 representa la distribución espectral de tensión de ruido referida a la entrada. Comparado con otras soluciones similares de la literatura [2, 3], la solución propuesta consigue una mayor ganancia en lazo abierto, con un ruido RMS integrado y un consumo de potencia competitivo.

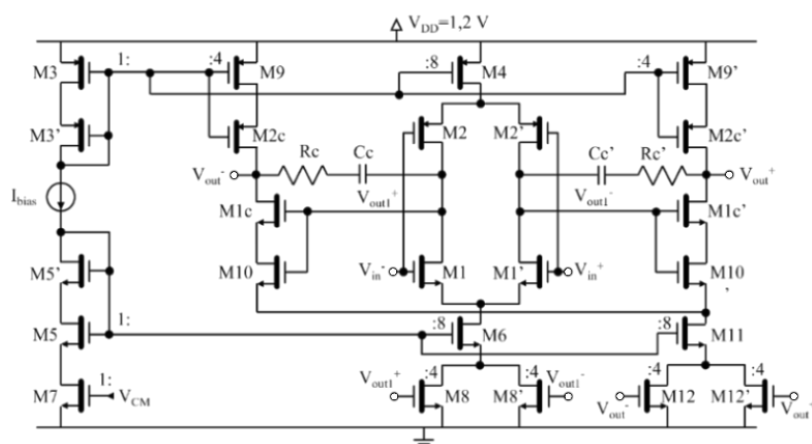


Figura 1: Esquemático del OTA propuesto.

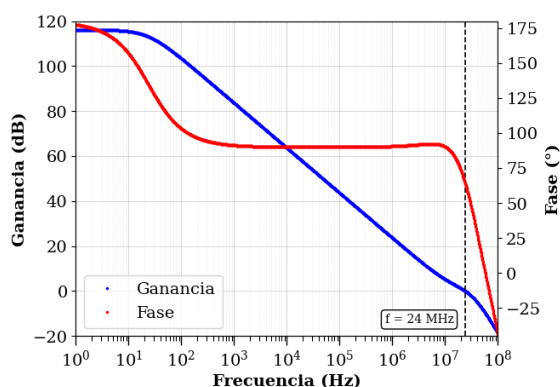


Figura 2: Respuesta en frecuencia del OTA.

Conclusiones

El OTA diseñado cumple las estrictas especificaciones en términos de alta ganancia con elevado producto ganancia-anchura de banda, bajo ruido y mínimo consumo de potencia demandadas actualmente. Constituye por tanto una solución óptima para su uso como celda activa de alta eficiencia en sistemas biomédicos portátiles.

REFERENCIAS

- [1]. D. A. Hall, K. A. A. Makinwa and T. Jang, "Quantifying Biomedical Amplifier Efficiency: The noise efficiency factor," in IEEE Solid-State Circuits Magazine, vol. 15, no. 2, pp. 28-33, Spring 2023, doi: 10.1109/MSSC.2023.3256353
- [2]. A. Bertolini and G. Nicollini, "A Two-Stage CMOS Amplifier Performing High Degree of Stability for All Capacitive Load," 2024 IEEE International Symposium on Circuits and Systems (ISCAS), Singapore, Singapore, 2024, pp. 1-5, doi: 10.1109/ISCAS58744.2024.10558480.
- [3]. C. Zhang and C. Li, "Design of Fully Differential Amplifiers with Common-Mode Feedback in 90nm CMOS," 2025 International Conference on Advances in Electrical Engineering and Computer Applications (AEECA), Dalian, China, 2025, pp. 360-369, doi: 10.1109/AEECA65693.2025.00070.

Tabla 1: Prestaciones del OTA

Parámetro	Resultado
I_{bias} , I_{total} (μ A)	0,5; 8,44
G_m (mS)	6,573
$V_{out}^{\pm} _{DC}$ (mV)	602,8
P (μ W)	10,12
A_{DO} (dB)	116,2
GBW @ $C_L=0,1$ pF (MHz)	24,1
CMRR (dB)	353,9
PM ($^\circ$)	64,8
V_{ninRMS} (0-1 MHz) (μ V _{RMS})	12,81

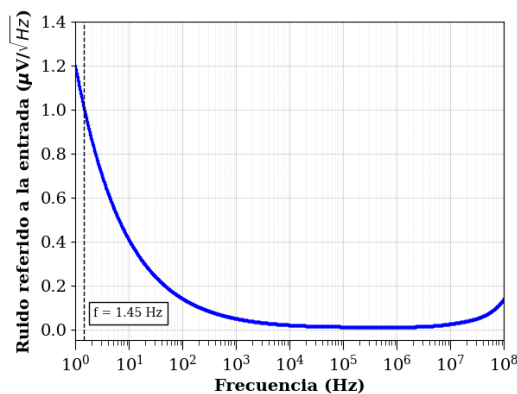


Figura 3: Tensión de ruido referido a la entrada.

