

Diseño de un driver de alta velocidad para el acoplo del oscilador local en la lectura de qubits

Mario Bielsa Alonso¹, Uxua Esteban Eraso¹, Carlos Sánchez Azqueta¹

¹ Grupo de Diseño Electrónico (GDE)

Instituto de Investigación en Ingeniería de Aragón (I3A)

Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.

Tel. +34-691476927, e-mail: 842575@unizar.es

Resumen

Este trabajo presenta el diseño full-custom de un buffer integrado en un sistema de lectura qubits a temperatura criogénica para computación cuántica. Se ha diseñado para optimizar el acoplamiento y garantizar aislamiento entre un oscilador y un mezclador RF. El diseño se ha implementado y verificado en CMOS 65 nm mediante simulaciones post-layout.

Introducción

La computación cuántica busca aprovechar los principios de la mecánica cuántica (entrelazamiento, la superposición, la interferencia o el efecto túnel) para manipular y realizar operaciones sobre unas entidades cuánticas (qubits), que sirven para codificar y almacenar datos [1,2].

En las implementaciones actuales de computadores cuánticos, la lectura de los qubits se realiza mediante técnicas dispersivas, en las que estos se acoplan a una cavidad resonante, cuya frecuencia natural se desplaza ligeramente en función de si el qubit se encuentra en el estado $|0\rangle$ o $|1\rangle$. Para implementar este proceso, es necesario contar con una señal oscilante de referencia (oscilador local, LO) para realizar una demodulación coherente de la señal de microondas generada por el qubit en la cavidad mediante una etapa de mezclado.

Típicamente, la frecuencia a la que se produce este proceso está en el rango de 1 – 10 GHz, y la etapa de mezclado busca realizar una conversión descendente (*down-conversion*) hacia una frecuencia intermedia analógica o directamente a banda base para que la señal resultante pueda procesarse mediante convertidores analógico-digitales (ADC).

La señal de LO usada para el mezclado se genera mediante un sistema de síntesis de frecuencia de tipo lazo de enganche de fase (PLL) basado en un oscilador controlado por tensión (VCO), que

habitualmente tiene una estructura de tipo tanque resonante LC debido a su mejor comportamiento en términos de ruido. Debido a su naturaleza resonante, el VCO es muy sensible a la carga soportada a su salida, lo que hace necesario el diseño de una etapa de acoplo (*buffer*) de altas prestaciones que consiga aislar su operación y garantizar la estabilidad de la señal generada.

En este contexto, este trabajo presenta el diseño y simulación física *post-layout* de un buffer para acoplar la salida de un VCO de tanque resonante LC en un PLL de tipo N-fraccional. El sistema de síntesis de frecuencia trabaja a una frecuencia central de 5 GHz y tienen un consumo en potencia inferior a 10 mW. Se busca que el driver mantenga un consumo en potencia inferior a 1 mW para que el sistema completo sea compatible con la capacidad de disipación de los refrigeradores criogénicos en los que deberá operar en el proceso de lectura de qubits, ya que es necesario mantener una temperatura próxima al cero absoluto para mantener la coherencia en el estado de los qubits.

Arquitectura del sistema

La arquitectura seleccionada ha sido del par diferencial por su buen rechazo del modo común y sencillez de implementación [3]. En concreto se ha polarizado con un espejo de corriente NMOS en la cola y resistencias de drenador R_D (Figura 1). Se ha utilizado tecnología CMOS TSMC 65 nm. En este nodo tecnológico la tensión de alimentación es de $V_{DD} = 1.2$ V.

Se ha realizado el *layout* de la etapa utilizando la técnica de *matching* de centroide común para asegurar simetría en ambas ramas. El dimensionado de componentes se ha realizado para que la ganancia se mantenga en torno a la unidad y se asegure un ancho de banda mayor que 5 GHz con un consumo en potencia por inferior a 1 mW. Además, se ha buscado lograr un *headroom* suficiente para el *swing* de la señal de salida.

Resultados

El sistema se ha implementado en el entorno Cadence usando un proceso tecnológico CMOS de 65 nm proporcionado por TSMC. Se ha realizado el esquemático y el *layout* asociado, del que se han simulado las métricas de interés utilizando el entorno de *ADE Explorer* de Cadence a partir de la vista extraída de la etapa. Las Figuras 2 y 3 muestran, respectivamente, un detalle del *layout* de la etapa completa y del patrón de interdigitado para la implementación del centroide común.

Las simulaciones se han realizado acoplando al *buffer* un VCO de tipo tanque LC diseñado previamente por el grupo, también en vista extraída *post-layout*. Los resultados obtenidos ofrecen un ancho de banda $f_{-3dB} = 5.676$ GHz (Figura 4), con una ganancia diferencial de 4 dB y un punto de compresión a 1 dB de 22.35 dBm. El buffer tiene un consumo de 0.890 mW.

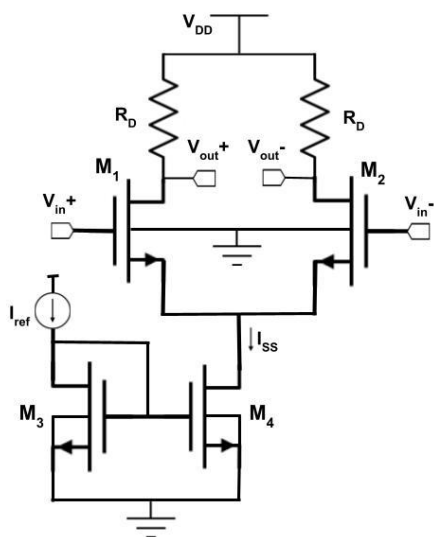


Figura 1. Esquemático de la etapa.



Figura 3. Visualización del Patrón de interdigitado.

Conclusiones

Se ha validado el diseño de un driver de alta velocidad garantizando el acoplamiento eficiente entre VCO y mezclador. Cumpliendo la restricción de 1 mW, la etapa logra un equilibrio entre ganancia, ancho de banda y linealidad dentro de los objetivos.

REFERENCIAS

- [1]. YU, C.J., VON KUGELGEN, S., LAORENZA, D.W., FREEDMAN, D.E., *A molecular approach to quantum sensing*. ACS central science, vol. 7, no. 5, pp. 712–723, 2021
- [2]. TACCHINO, F., CHIESA, A., CARRETTA, S., GERACE, D., *Quantum computers as universal quantum simulators: state-of-art and perspectives*. Adv. Quantum Technol., 3(3), 2020.
- [3]. HEYDARI, P., MOHANAVELU, R., *Design of ultrahigh-speed low-voltage CMOS CML buffers and latches*. IEEE Trans. on Very Large Scale Integration Systems, vol. 12, no. 10, pp. 1081-1093, 2004.

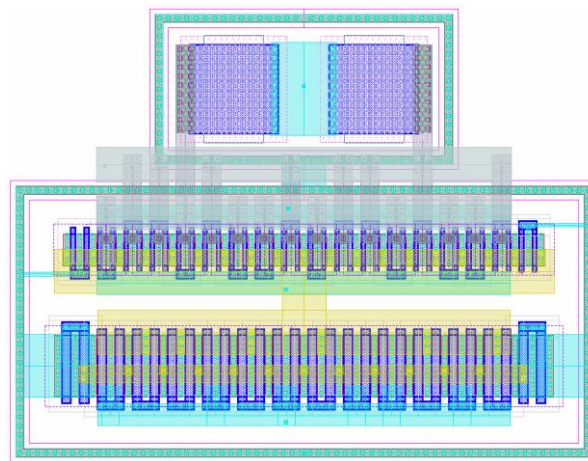


Figura 2. Vista de *layout* de la etapa de buffer diseñada.

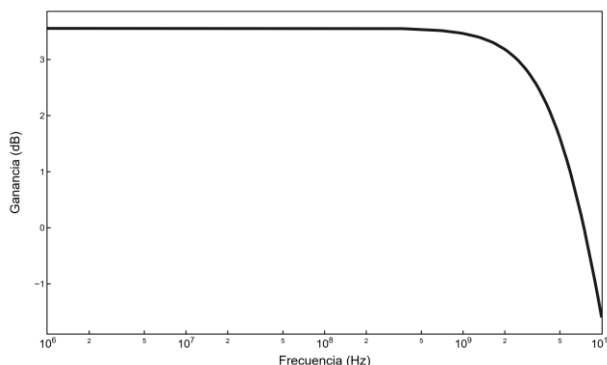


Figura 4. Figura de Ganancia/Ancho de Banda.