

# Paralelización de transistores de GaN en etapas de alta corriente, baja tensión y alta frecuencia

Carlos Rios Ferrer, Carlos Bernal Ruiz, Francisco José Pérez Cebolla, Álex Puyal Ventura, María Teresa Maza Luengo, Alfonso Latre Gayán

Afiliación: Grupo de Electrónica de Potencia y Microelectrónica (GEPM)  
Instituto de Investigación en Ingeniería de Aragón (I3A)  
Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.  
Tel. +34-976762707, e-mail: [875159@unizar.es](mailto:875159@unizar.es)

## Resumen

Este trabajo analiza la paralelización de transistores GaN HEMT (EPC2305). El impacto de las inductancias parásitas sobre el reparto de corriente y el equilibrio térmico se estudia mediante caracterización experimental del comportamiento en conmutación y la distribución térmica, proponiendo criterios de layout para su minimización entre dispositivos paralelos.

## Ventajas

El paralelado directo de transistores GaN ofrece mayor flexibilidad frente a los módulos comerciales, permitiendo adaptar el número de dispositivos y el layout a los requisitos del sistema. Adicionalmente, el coeficiente de temperatura positivo de la  $R_{DS, ON}$  de los GaN HEMT actúa como mecanismo natural de autoequilibrio térmico entre dispositivos paralelos [1].

## Metodología de diseño

El trabajo con transistores GaN exige minimizar las inductancias parásitas asociadas a los lazos de potencia y de gate, tanto en configuración individual como en paralelo. La inductancia del lazo de potencia ( $L_{Loop}$ ) puede reducirse eficazmente mediante un retorno de corriente en la primera capa interna de una PCB multicapa, situada directamente bajo la trayectoria de potencia de la capa superior, lo que minimiza el área del lazo físico y promueve la autocancelación del campo magnético [2].

Resulta igualmente crítico reducir la inductancia de fuente común ( $L_S$ ), definida como la inductancia compartida entre el lazo de potencia y el lazo de gate. Esto cobra especial relevancia dada la sensibilidad inherente de los transistores GaN HEMT de modo enriquecimiento, cuyo margen entre la tensión de umbral de activación y la tensión de ruptura de puerta

es típicamente de 1 a 2 V para el dispositivo empleado. Dicha inductancia puede minimizarse empleando una conexión Kelvin source, que desacopla la señal de control de las perturbaciones inducidas por la corriente de potencia.

En aplicaciones con dispositivos en paralelo, no basta con minimizar estas inductancias: es imprescindible que sean simétricas entre todas las ramas. Un desequilibrio en  $L_{Loop}$  o en  $L_S$  entre los transistores paralelos provoca diferencias en la velocidad de conmutación dinámica, lo que se traduce en un reparto desigual de la corriente y en una degradación eléctrica y térmica del conjunto [2]. Este efecto se agrava a medida que las velocidades de conmutación aumentan: con tiempos de conmutación del orden de nanosegundos, inductancias de pocas decenas de pH producen sobretensiones y desequilibrios de corriente significativos.

Asimismo, los elevados gradientes de tensión y corriente ( $dv/dt$ ,  $di/dt$ ) inherentes a la conmutación de transistores GaN introducen potenciales problemas de interferencias electromagnéticas (EMI). La Figura 1 ilustra un fenómeno de activación espuria originado por el acoplamiento capacitivo entre el nodo de conmutación y las líneas de señal del circuito de driver.

## Resultados

Las Figuras 2 y 3 ilustran la conmutación de cuatro transistores en configuración paralela durante el encendido y el apagado respectivamente, evidenciando desfases entre señales de gate inferiores a 2 ns y una elevada similitud entre las formas de onda de corriente resultantes.

La Figura 4 presenta la distribución térmica de los transistores bajo condiciones de carga, donde se aprecian diferencias de temperatura entre dispositivos, atribuibles a un reparto de corriente no

uniforme por asimetrías residuales en las inductancias del layout o a asimetrías en las resistencias térmicas. El grado de desequilibrio admisible función de los requisitos de la aplicación.

## Conclusiones

La paralelización eficiente de transistores GaN HEMT requiere la simetría de las inductancias parásitas del layout ( $L_{Loop}$  y  $L_S$ ) como condición fundamental para garantizar el reparto de corriente. El coeficiente de temperatura positivo de la  $R_{DS, ON}$  proporciona un auto equilibrio térmico intrínseco que contribuye a la estabilidad del conjunto. No obstante, los elevados gradientes de conmutación exigen una atención especial al control de EMI, en particular al desacoplamiento del lazo de gate mediante conexión Kelvin.

## FIGURAS

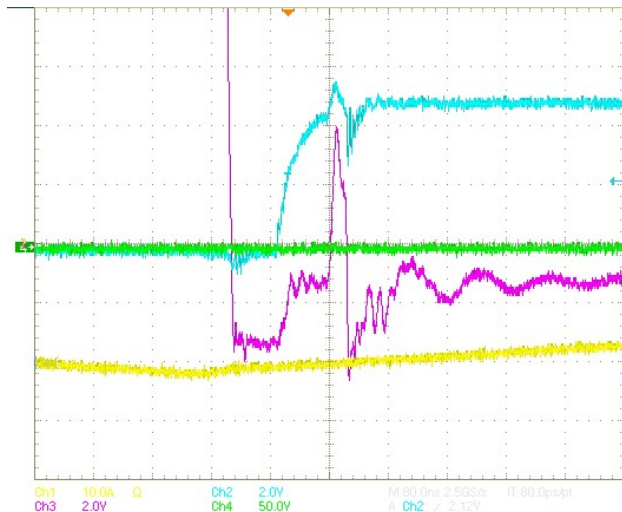


Fig. 1. Formas de onda durante la conmutación. Voltaje en el nodo de conmutación (morado) y señal de driver de LS (azul).

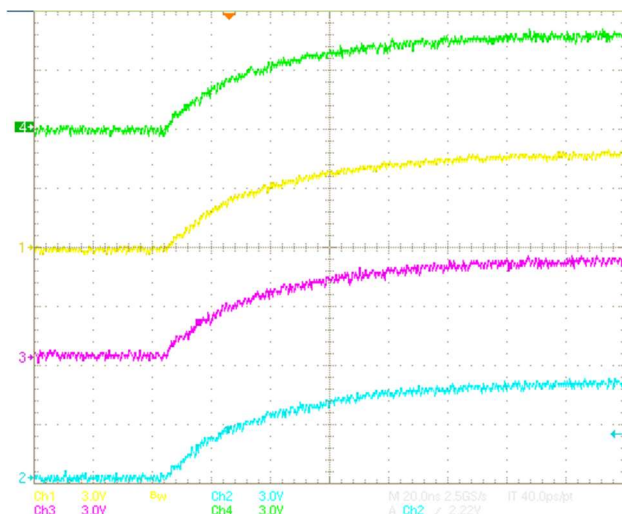


Fig. 2. Señales de puerta de lado bajo de 4 transistores en paralelo durante su encendido con una carga de 30V y 40A.

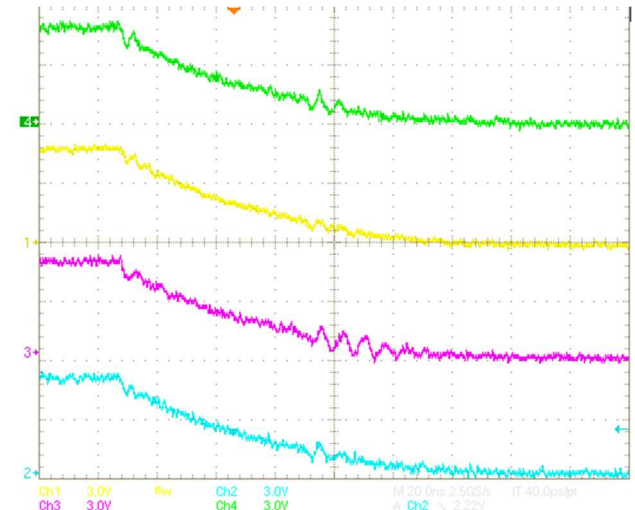


Fig. 3. Señales de puerta de lado bajo de 4 transistores en paralelo durante su apagado con una carga de 30V y 40A.

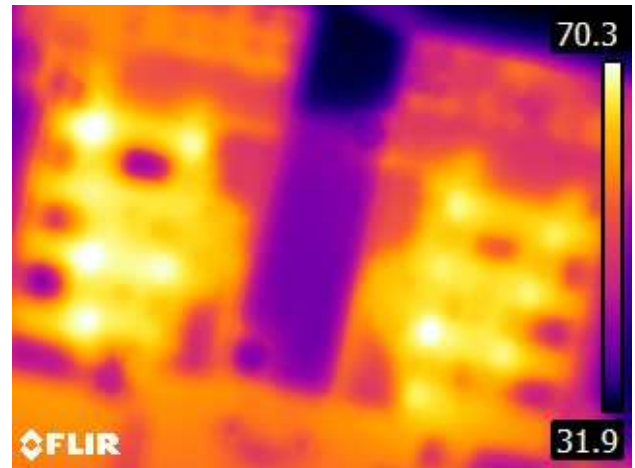


Fig. 4. Imagen térmica de puente de 4 transistores de GaN en paralelo operando con 30V y 40A.

## REFERENCIAS

- [1] M. Zhang y W. Zhang, "Current Sharing Analysis of Paralleled GaN HEMT Via Feedback Theory," *Beijing Institute of Technology / North China University of Technology*, pp. 94–99.
- [2] D. Reusch y J. Strydom, "Effectively Paralleling Gallium Nitride Transistors for High Current and High Frequency Applications," *Applied Power Electronics Conference and Exposition (APEC)*, pp. 745–751, 2015.