

Sintetizador de frecuencia tipo PLL con N-fraccional para arquitecturas de control y lectura de qubits

Roque Fernández-Maldonado, Uxua Esteban-Eraso, Concepción Aldea,
Santiago Celma, Carlos Sánchez-Azqueta

Afiliación: Grupo de Diseño Electrónico (GDE)
Instituto de Investigación en Ingeniería de Aragón (I3A)
Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.
Tel. +34-976762707, e-mail: rfernandez@unizar.es

Resumen

Se presenta el diseño de un sintetizador de frecuencia PLL (Phase Locked Loop) de N-fraccional en CMOS de 65 nm para computación cuántica (temperaturas criogénicas). Emplea una arquitectura híbrida CML-CMOS que garantiza alta resolución frecuencial (2.5 MHz en la banda 4,8 – 5,9 GHz) y minimiza el consumo por debajo de 10 mW.

Introducción

Un lazo de enganche de fase (PLL) es un sistema de control que sincroniza la fase de un oscilador de frecuencia variable (VCO) con la fase de una señal de referencia externa estable. Mediante un detector de fase (PD) y un filtro de lazo (LF), el sistema ajusta continuamente la frecuencia del VCO y, por tanto, la frecuencia de salida para mantener un desfase constante con la señal de referencia. Esta arquitectura es crítica en computación cuántica porque los valores nominales de los componentes varían con la temperatura; el PLL garantiza la estabilidad y precisión que un VCO aislado no puede ofrecer en entornos criogénicos, permitiendo el control de qubits superconductores en la banda de microondas.

Para estas aplicaciones, se requiere una pureza espectral alta y una elevada resolución de frecuencia extremadamente fina dada la inherente inestabilidad de los qubits. Esto se logra mediante una arquitectura de PLL tipo N-fraccional. Dado que el sistema opera dentro de un criostato, el diseño debe minimizar la disipación de calor.

Arquitectura del sintetizador

El diagrama de bloques del PLL propuesto se muestra en la Figura 1. En esta figura, se muestra cómo la señal del VCO (cercana a 5 GHz) es dirigida a un divisor de frecuencias de tipo N-fraccional que produce una señal de frecuencia $f_{VCO}/N \approx 20$ MHz. Es esta señal dividida la que mantendrá una fase constante con la señal de referencia estable.

VCO

El VCO se ha implementado utilizando un tanque resonante LC con un par NMOS cruzado para compensar las pérdidas parásitas [1]. La sintonía se logra mediante varactores MOS de acumulación. El VCO genera una señal de 5,5 GHz con un ruido de fase de -110 dBc/Hz a 1 MHz de la portadora, consumiendo solo 3,6 mW.

Divisor Fraccional

El funcionamiento del divisor de frecuencias propuesto se basa en la arquitectura del *Pulse Swallow Divider*. En definitiva, el divisor de frecuencias es un contador digital. El conteo de N flancos se computa mediante una fase de conteo hasta $(n + 1)$ y una fase de conteo hasta n . Si escribimos N como $N = S + nP$, es fácil demostrar que $N = [S](n + 1) + [P - S](n)$ y, por tanto, distinguimos una fase en la que contamos S veces por $(n + 1)$ y otra en la que contamos $[P - S]$ veces por n . El Prescaler $\div 8/9$ es el módulo que realiza esta división por n o por $(n + 1)$. Por tanto, la salida del prescaler fijando $n = 8$ tiene una frecuencia máxima de $f_{P89}^{Máx} \approx 750$ MHz. Esta será la señal de la que haya que contar S flancos en el periodo de división por $(n + 1)$ y $[P - S]$ flancos en el periodo de división por n .

A frecuencias superiores a 1 GHz, la lógica CMOS convencional pierde eficiencia debido a los retardos asociados a la carga y descarga de capacidades parásitas en transiciones *rail-to-rail*. La Lógica de Modo Corriente (CML) mitiga esta limitación empleando señales diferenciales de baja excursión, lo que permite alcanzar velocidades de conmutación muy elevadas. No obstante, dado que la CML requiere una corriente de polarización constante que incrementa el consumo estático, su uso se ha restringido exclusivamente al Prescaler, donde la velocidad de operación es crítica para el sistema.

Este sistema puede integrarse en otro ciclo superior de conteos para conseguir una división fraccional. Al dividir F veces por $(N + 1)$ y $(M - F)$ veces por N , podemos extraer un N_{Frac} efectivo sobre un periodo suficientemente amplio de tiempo que viene dado por $N_{\text{Frac}} = N + F/M$. Para nuestros propósitos, se escoge $M = 8$.

Dado que los contadores *Swallow & Program* operan con la señal de salida del prescaler ($f < 1$ GHz), y que el contador *Fractional* opera con la salida del contador P , no necesitan ser construidos en CML como el Prescaler89. Es esta estructura mixta CML-CMOS la que permite operar con precisión y bajo consumo.

Dado que los valores lógicos en CML se codifican como diferencias de potencial entre los dos terminales del puerto (I/O diferencial) y que en lógica CMOS convencional los valores lógicos se codifican como tensiones en el único terminal del puerto (*single-ended*), son necesarios dos buffers de acoplo entre las partes en CML y en CMOS.

Resultados de las simulaciones y conclusiones

Se han llevado a cabo simulaciones transitorias del PLL completo en las que se aprecia un tiempo de enganche de $\sim 100 \mu\text{s}$, lo que asegura un correcto promediado de la división fraccional (Figura 2).

El divisor de frecuencias completo –Prescaler $\div 8/9$ en CML, contadores S P y F en CMOS, y buffers– consume 6,0 mW en el rango frecuencial requerido.

La Tabla 1 compara las prestaciones de este trabajo con el estado del arte. Esta arquitectura cubre un

amplio rango de frecuencias (4,8–5,9 GHz) manteniendo un bajo consumo equiparable a otros diseños recientes (9,6 mW en total) en otras tecnologías.

Tabla 1. Comparativa del estado del arte.

	Proceso (CMOS)	BW (GHz)	Consumo (mW)
[2] 2021	40 nm	3.3-4.5	10.2
[3] 2026	65 nm	9.25-10.75	17.9
[4] 2015	180 nm	2-6	15-25
Este trabajo	65 nm	4.8-5.9	9.6

REFERENCIAS

- [1]. FERNÁNDEZ-MALDONADO, R., ESTEBAN-ERASO, U., AZNAR, F., ALDEA, C., CELMA, S., SÁNCHEZ-AZQUETA, C. A Fractional-N PLL Frequency Synthesizer for Qubit Readout and Control Architectures. *IEEE International Symposium on Circuits and Systems (ISCAS)*. Dresden, Germany, 2026, Art. no. 1927.
- [2]. JIN, G. et al. A 3.3-4.5GHz Fractional-N Sampling PLL with A Merged Constant Slope DTC and Sampling PD in 40nm CMOS. *IEEE Radio Frequency Integrated Circuits Symposium*, vol. 2021.
- [3]. CASTORO, G. et al. A Low-Jitter Fractional-N Digital PLL With Spur Cancellation Based on a Multi-DTC Topology. *IEEE Journal of Solid-State Circuits*, vol. 61, no. 1, pp. 331-342, 2026.
- [4]. HATI, M. K. and BHATTACHARYYA, T. K. Efficient design technique for pulse swallow based fractional-N frequency divider. *IEEE International Symposium on Circuits and Systems (ISCAS)*, Lisbon, Portugal, 2015, pp. 457-460.

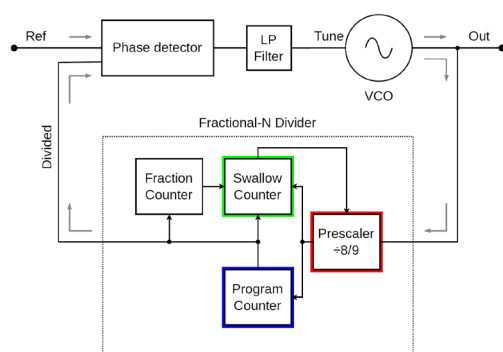


Figura 1: Diagrama de bloques del PLL propuesto.

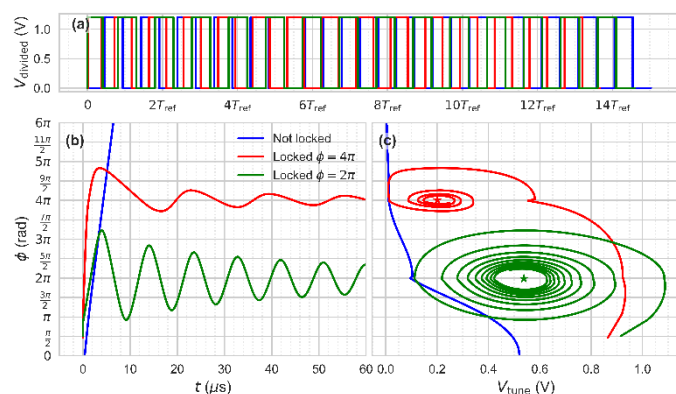


Figura 2: Simulaciones transitorias del PLL en diferentes casos.