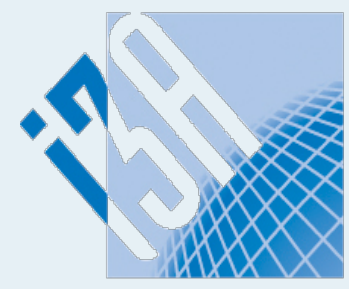


Sintetizador de Frecuencia Tipo PLL con N-fraccional para Arquitecturas de Control y Lectura de Qubits

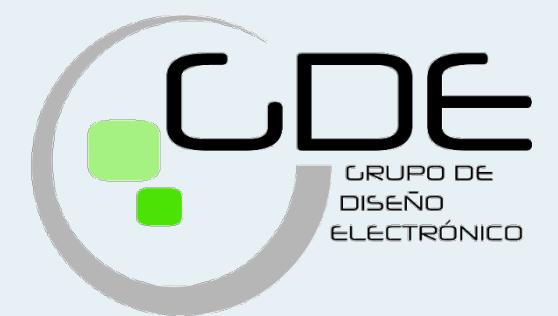
Roque Fernández-Maldonado, Uxua Esteban-Eraso, Concepción Aldea, Santiago Celma, Carlos Sánchez-Azqueta
GDE-I3A, UNIZAR, C/Mariano Esquillor s/n 50018, Zaragoza; rfernandez@unizar.es



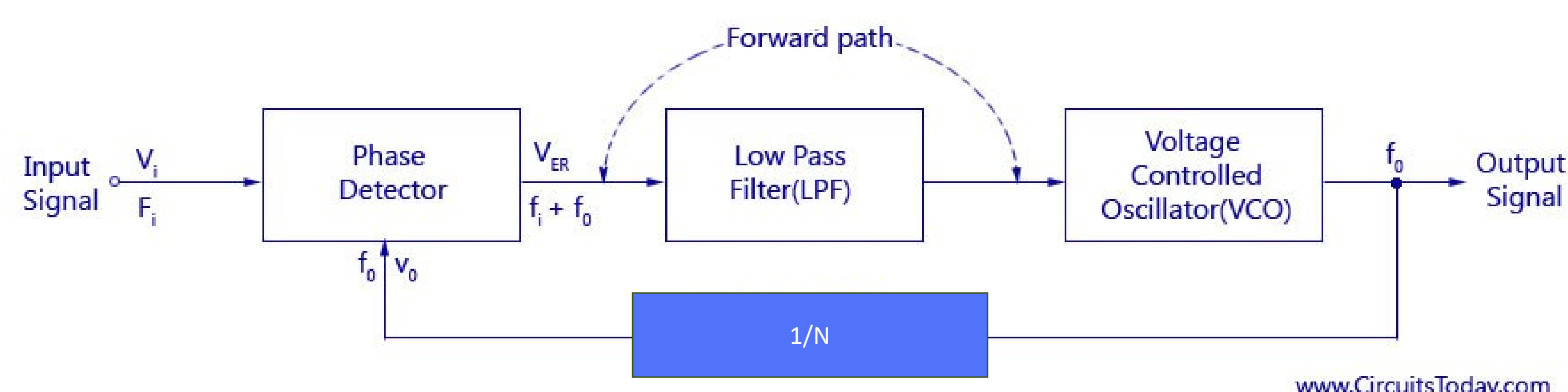
Instituto Universitario de Investigación
en Ingeniería de Aragón
Universidad Zaragoza



Universidad
Zaragoza



INTRODUCCIÓN



Phase-Locked Loop (PLL)

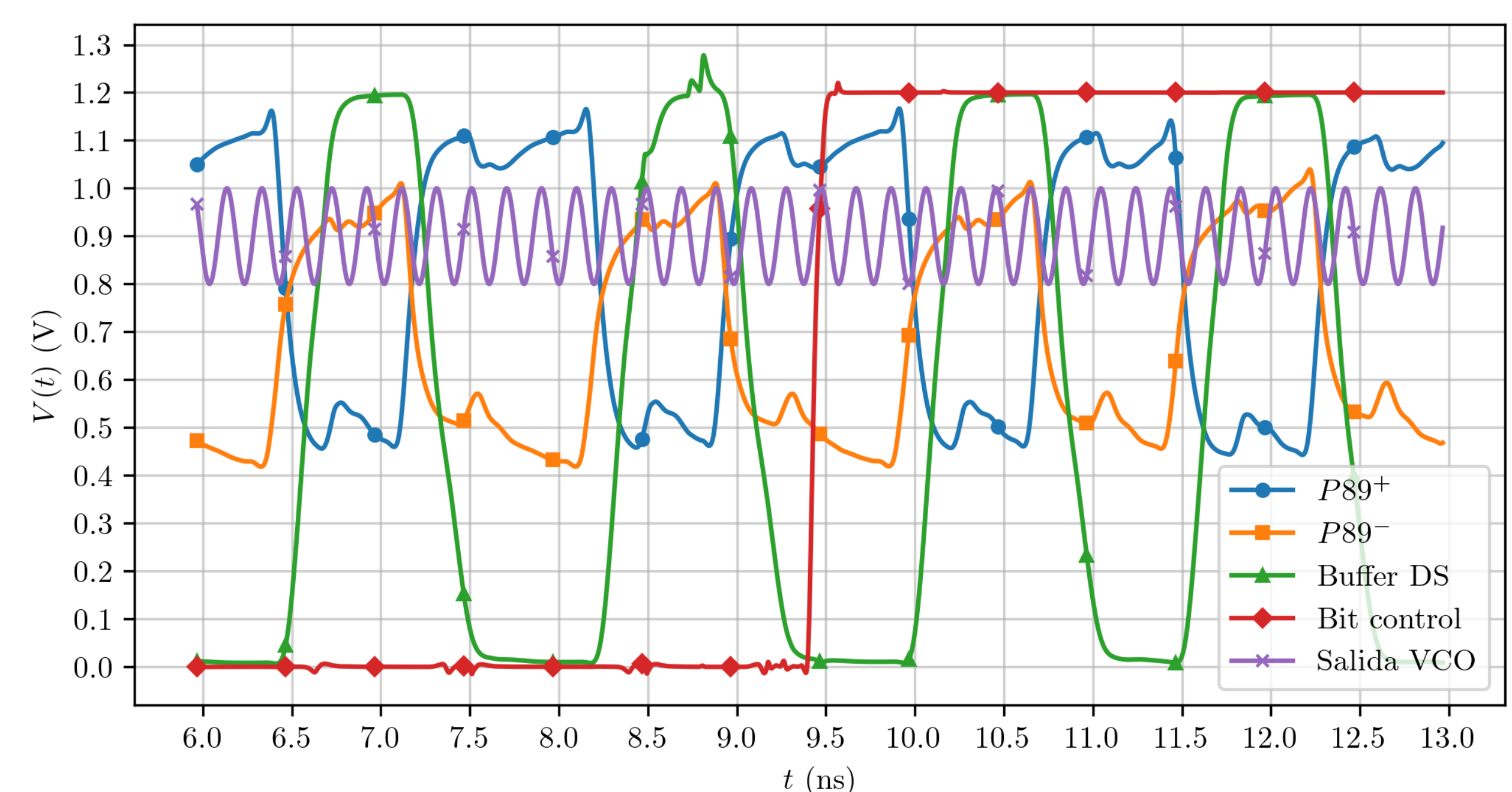
Señal de frecuencia estable con una fina sintonización



Acople a la frecuencia del qubit, permite control y lectura

Divisores de frecuencia

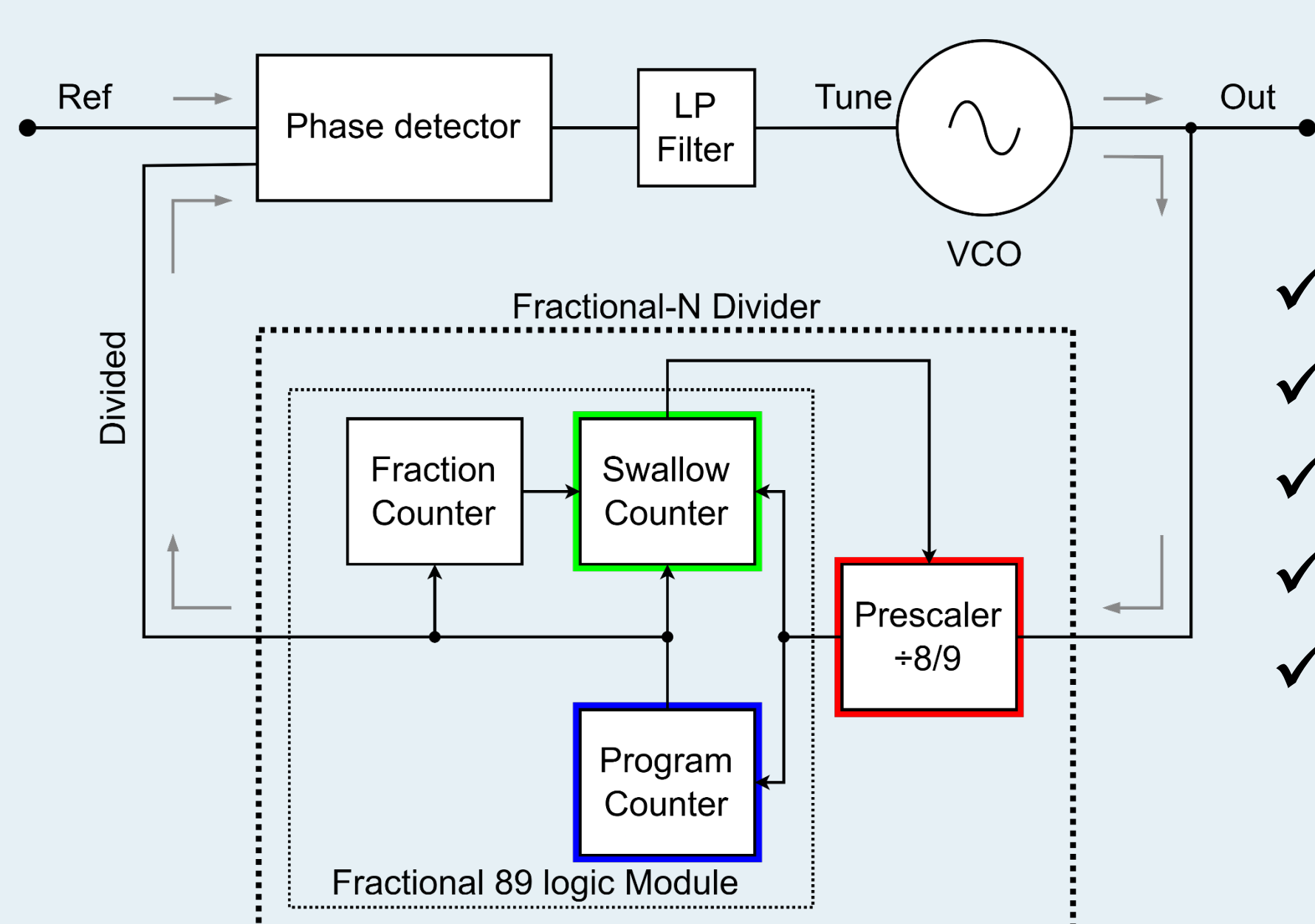
Salida de frecuencia es $1/N$ veces la de entrada



OBJETIVOS

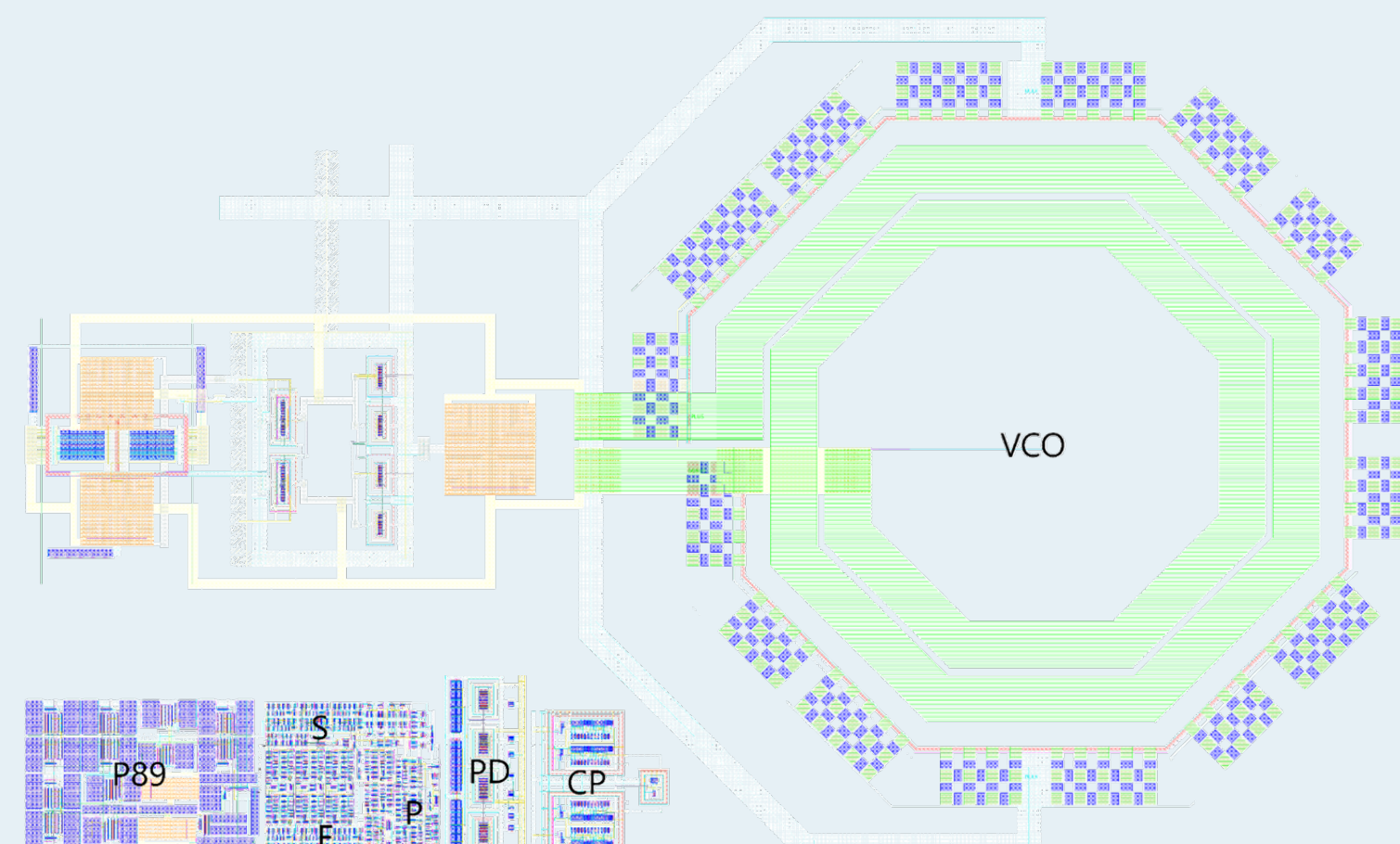
- Diseñar un PLL de tipo N-fraccional capaz de operar en entornos criogénicos con una alta sintonización
- Introducir al detector de fase del PLL una señal de frecuencia f_{out}/N siendo N un número fraccional

TOPOLOGÍA



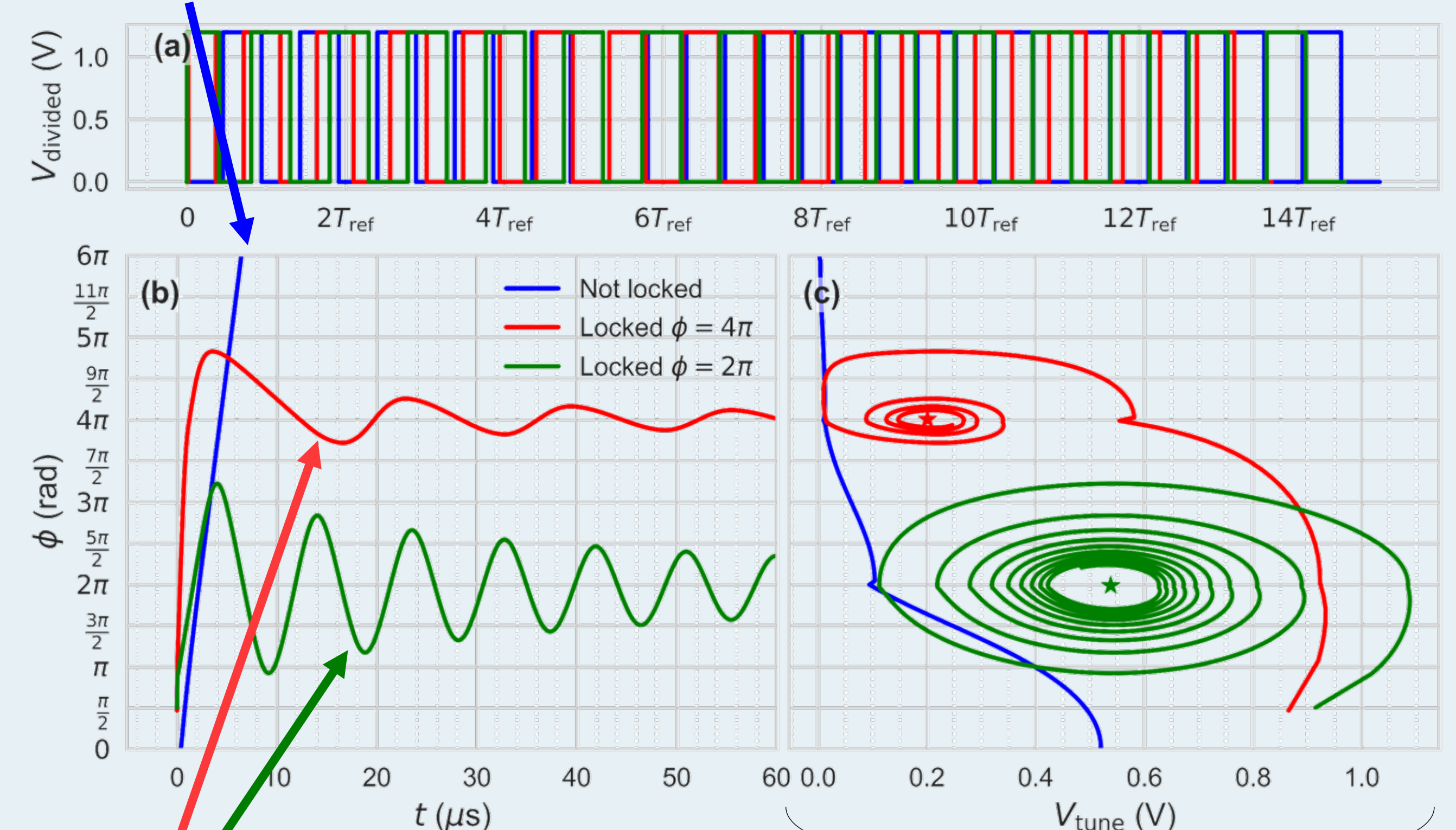
- ✓ Prescaler 89
- ✓ Lógica control fraccional
- ✓ *Pulse-swallow*
- ✓ Lógica CML
- ✓ $f > 1$ GHz

- ✓ TSMC 65 nm
- ✓ 350x275 μm
- ✓ 825 transistores
- ✓ $L = 60$ nm



RESULTADOS

Lazo inestable: pérdida de control sobre la frecuencia de salida



Proporcional a la frecuencia de salida

Lazo estable: No depende del valor de ϕ

Simulación simultánea de señales de frecuencias entre 50 kHz y 6 GHz requiere altos recursos computacionales.

CONCLUSIONES

- Estructura *pulse-swallow* → permite correcta división fraccional
- Bajo consumo total: 9,6 mW
- Diseño mínimo en área